

平成 24 年度 修士論文

AD 変換器のデジタル自己校正技術の研究
Digital Self-Calibration algorithm for ADC

群馬大学大学院 工学研究科

電気電子工学専攻

情報通信システム分野 情報通信システム第二研究室

劉 羽

学籍番号 11801677

指導教員 小林 春夫 教授

2013 年 3 月

目次

概要	4
第1章 序論	4
1.1 研究背景	4
1.2 研究目的	4
1.3 研究現状	4
1.4 本論文の構成	5
第2章 ADC (Analog to Digital convert) について	6
2.1 AD変換器の原理	6
2.1.1 標本化	7
2.1.2 量子化	7
2.1.3 標本化定理	7
2.2 AD変換器の性能指標	10
2.2.1 静的特性	10
2.2.2 動的特性	11
第3章 サイクリックAD変換器の構成	14
3.1 サイクリックAD変換器の基本構成	14
3.2 サイクリックAD変換器の基本回路	17
3.2.1 1.5bitADCの動作	17
3.2.2 乗算型DACの動作	18
第4章 サイクリックAD変換器の課題点	20
4.1 有限ゲインの影響	20
4.2 容量ミスマッチの影響	22
第5章 サイクリックAD変換器自己校正法	25
5.1 デジタル自己校正原理	25
5.2 デジタル自己校正システムの構成	27
5.3 自己校正システムの動作	29
5.4 サイクリックAD変換器自己校正の誤差測定	31
5.5 自己校正アルゴリズム	32
第6章 デジタル自己校正についてMATLABシミュレーション結果の確認	36
6.1 シミュレーション回路	36
6.2 シミュレーション条件	36
6.3 シミュレーション結果	38
第7章 結論	41
謝辞	42

参考文献・・・・・・・・・・・・・・・・・・・・・・・・	43
本研究に関する学会発表・・・・・・・・・・・・・・・・	44

概要

本論文は、サイクリックAD変換器を挙げ、デジタル自己校正技術について述べる。

第1章 序論

1.1 研究背景

近年トランジスタのプロセスの微細化により、アナログ回路の性能確保が困難となる中、小面積化、高速化を実現するかわりに小型化したデジタル回路を用いてアナログ回路の特性の誤差やばらつきを補償するデジタル補正技術が注目されている。

1.2 研究目的

現在、AD変換器分野においてデジタル補正技術を適用したAD変換器が流行しており、その中、高精度・低消費電力のAD変換器におけるデジタル自己校正技術の報告例が多い。サイクリックAD変換器は回路構造が簡単、面積が小さいという特徴があり、本論文ではサイクリックAD変換器の自己校正法を提案し、高精度のサイクリックAD変換器の自己校正アルゴリズムを検討した。

1.3 研究現状

デジタル補正技術は

(1) デジタル誤差補正冗長回路をもち、回路の非理想要因を許容して正解を出力させる方法。このとき非理想要因は計測しない。

(2) デジタル自己校正回路の非理想要因をデジタル値として測定し、メモリに記憶。その値をもとに通常動作のときに補正する

という二つの方法がある。今回はデジタル自己校正技術と呼ばれるもので非理想要因を測定する方法を検討する。この方法において以下の2つが挙げられる。

- ・フォアグラウンド自己校正

通常動作をストップし、非理想要因を測定するための時間あり、その測定値をもとに通常動作のときに補正を行う。

- ・バックグラウンド自己校正

通常動作はストップせずに自己校正を行う。自己校正はユーザからは全く見えない。この2 つの方法において今回はフォアグラウンド自己校正を検討した。

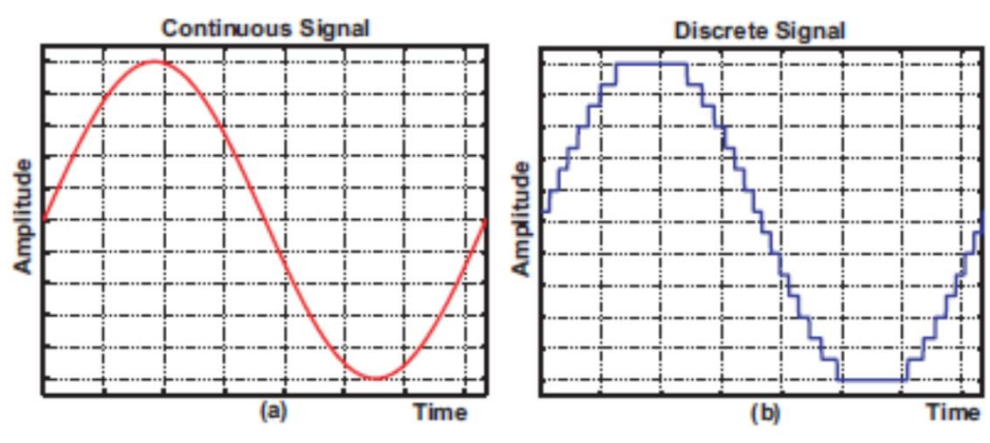
1.4 本論文の構成

第1章で概要を述べ、第2章でADCについての概要を述べ、第3章でサイクリックADCの基本構成について説明し、第4章でデジタル自己校正技術の原理について説明する。第5章から、デジタル補正技術を用い、サイクリックADCの自己校正アルゴリズムを説明し、続いて第6章でMATLABシミュレーションで自己校正の効果を確認し、第7章で全体をまとめる、という構成にする。

第2章 ADC (Analog to Digital converter) について

2.1 AD変換器の原理

AD 変換とは時間軸と振幅軸ともに連続的に変化するアナログ信号を、ある一定期間毎に切り取って（サンプリングして）時間軸と振幅軸ともに離散化された所定のビット数のデジタル値で近似変換することである。



(a) アナログ信号

(b) デジタル信号

図2.1 AD変換前後の波形

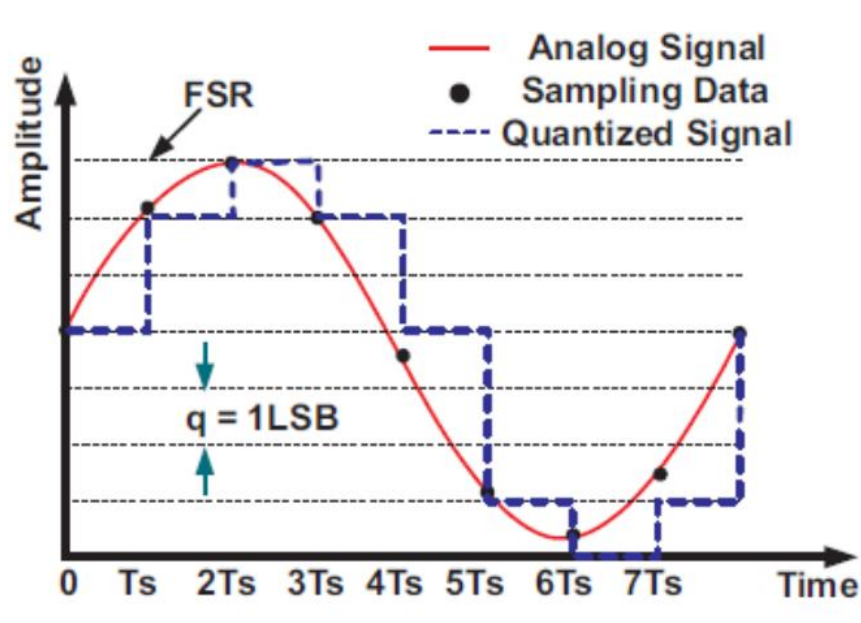


図2.2 サンプリングされた信号の量子化

2.1.1 標本化

連続的なアナログ入力の振幅値をある離散的な周期 T_s ($f_s=1/T_s$) で区切り、アナログ振幅の瞬間値インパルスを取り出していくことを標本化 (sampling) と呼び、 f_s を標本化周波数 (サンプリング周波数) と呼ぶ。標本化によるインパルス列 (デルタ関数列) はPAM (パルス振幅変調) とか標本化信号 (サンプリング信号) と呼ばれる。このパルス状の離散信号列を標本化関数 $g_s(t)$ という。

2.1.2 量子化

アナログ信号振幅の単位ステップを単位として不連続なデジタル値に変換する操作を量子化という。量子化を行うには、まず、アナログ入力の最大振幅値 (全入力電圧範囲) FSR (Full Scale Range) を決める。次に、このFSRを単位振幅 (量子数 q) ごとに $2N$ 等分 (N はビット数) で離散値に分割し、基準とする。それから、標本化されたそれぞれのインパルス・アナログ振幅を基準と比較の上、四捨五入して一番近い離散値に近似させ、離散値に当てはめる。こうして振幅を数値化していくことを量子化 (Quantizing) という。この時、入力信号と量子化された信号との間に生じる振幅の誤差を量子化雑音、量子化誤差、または量子不確定といい、このときの単位最小ステップのことを量子分解能 (LSB: Least Significant BIT) という。

AD変換において、この量子化誤差を回避することは出来ない。この量子化雑音を小さくすることでAD変調器全体の精度を高めることが出来る。量子化雑音を小さくするには、まず量子化速度を上げることが考えられる。

2.1.3 標本化定理

ある連続時間信号をサンプリングする時、アナログ入力信号 $x(t)$ は周波数成分を含んでいるが、 $x(t)$ には $f_{\text{cut}}[\text{Hz}]$ 以上の成分は含まれないものとする。このとき標本化周波数が $2f_{\text{cut}}[\text{Hz}]$ 以上 (サンプリング周期 $T=1/2f_M$ 以下) ならば、その標本化系列 $x(nT)$ から元のアナログ信号 $x(t)$ を復元できる。これを標本化定理といい、変換できる最大周波数 $f_{\text{max}}[\text{Hz}]$ をカットオフ周波数 $f_{\text{cut}}[\text{Hz}]$ と呼ぶ。信号 $x(t)$ を理想的にサンプリングすると、サンプル値信号 $x_s(t)$ は $x(t)$ と単位インパルス列 $\delta_T(t)$ の積と考えることができる。

$$X_s(t) = x(t)\delta(t) \quad (2.1.3.1)$$

サンプリング周期を $T=2\pi/\omega_s=1/f_s$ として単位インパルスの性質に注意して $x_s(t)$ のフーリエ変換 $X_s(\omega)$ を求めると、

$$\begin{aligned}
X_s(\omega) &= \int_{-\infty}^{\infty} \left\{ \sum_{n=-\infty}^{\infty} x(nt) \delta(t - nT) \right\} e^{-i\omega t} dt \\
&= \left\{ \sum_{n=-\infty}^{\infty} x(nt) \delta \int_{-\infty}^{\infty} \delta(t - nT) \right\} e^{-i\omega t} dt \\
&= \sum_{n=-\infty}^{\infty} x(nt) e^{-i\omega t}
\end{aligned} \tag{2.1.3.2}$$

この等式より、 k を任意の整数として $X_s(\omega) = X_s(\omega + k\omega_s)$ が成立することが示され、 $X_s(\omega)$ は角周波数 ω の周期関数になることが分かり、 $X_s(\omega)$ の周期はサンプリング角周波数 $\omega_s = 2\pi f_s$ に等しい。ここで、元の信号のフーリエ変換 $X(\omega)$ とサンプル値信号のフーリエ変換 $X_s(\omega)$ の関係について考えると、単位インパルス $\delta_T(t)$ のフーリエ変換は、

$$\delta_T(t) \Rightarrow \frac{2\pi}{T} \sum_{n=-\infty}^{\infty} \delta\left(\omega - \frac{2n\pi}{T}\right) = \omega_s \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_s) \tag{2.1.3.3}$$

であり、時間領域の積のフーリエ変換は周波数領域で畳み込み積分になるので、 $x_s(t)$ は $x(t)$ と $\delta_T(t)$ の積で与えられるから、 $x_s(t)$ のフーリエ変換 $X_s(\omega)$ は次式のように表すことができる。

$$\begin{aligned}
X_s(\omega) &= \frac{1}{2\pi} [X(\omega) * \omega_s \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_s)] \\
&= \frac{1}{T} [X(\omega) * \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_s)] \\
&= \frac{1}{T} X(\omega) * \delta(\omega - n\omega_s)
\end{aligned} \tag{2.1.3.4}$$

さらに、 $x(t) * \delta(t - t_0) = x(t - t_0)$ の関係が成立するので、

$$X_s(\omega) = \frac{1}{T} X(\omega - n\omega_s) \tag{2.1.3.5}$$

つまり、元の連続時間信号 $x(t)$ のフーリエ変換 $X(\omega)$ 振幅に係数 $1/T$ が掛かり、周波数軸でサンプリング角周波数 ω_s 毎に並べられたものが $X_s(\omega)$ となる。

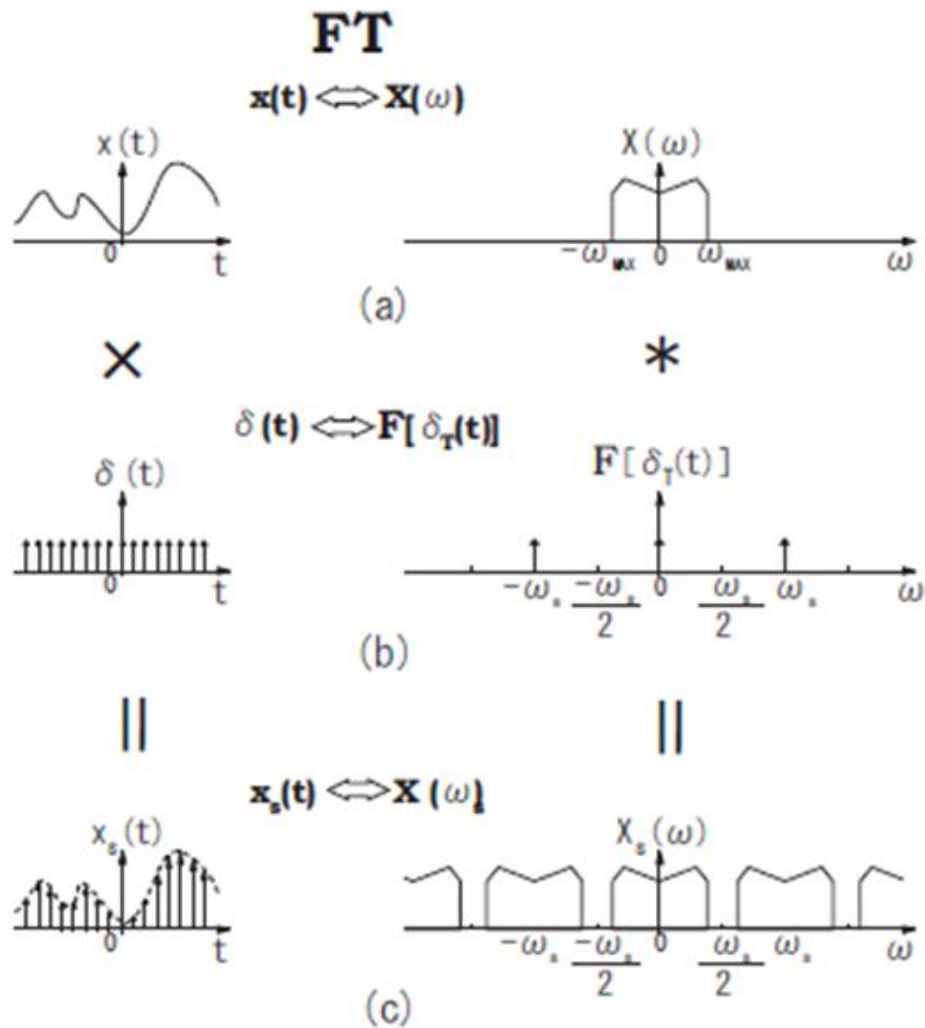


図2.3アナログ入力(a)、単位インパルス列(b)、サンプル値信号(c)の周波数スペクトラム.

図2.3を見て分かるように入力信号 $x(t)$ が $\omega_s/2$ 以上の周波数成分を含まなければ、 $X_s(\omega)$ は各々のスペクトラムが互いに重なり合うことが無く、サンプル値信号に対し低域通過フィルタを用いることによって元の信号 $x(t)$ が再現可能であると考えられる。

2.2 AD変換器の性能指標

2.2.1 静的特性

静的特性は静的な特性で変換器においては入力アナログ信号レベルに対する変換デジタル値の対応関係を示す。図ではビットの単極性変換器の変換特性について、理想的なものと理想的でないものを示している。変換誤差はオフセット誤差、ゲイン誤差（フルスケール誤差）、非直線性誤差に区別することができる。

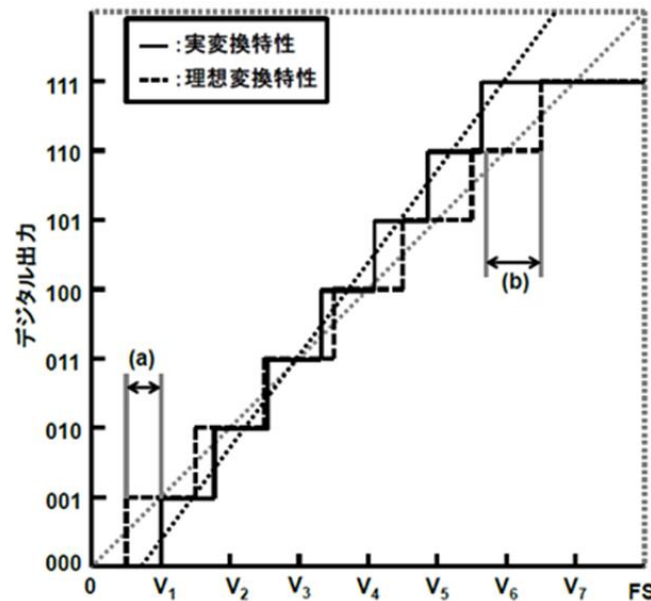


図2.4 3bitのAD変換器のオフセット電圧誤差、フルスケール誤差、ゲイン誤差

図2.4に示したように(a)はオフセット電圧誤差、(b)はフルスケール誤差、また実際の出力の傾きと理想の出力の傾きの差はゲイン誤差である。このAD変換器の特性は8段階で表すことができるが、オフセットやゲイン、直線性について考察するときは各段階の中点を結んだ直線を考える。理想的なAD変換器は零の点から0.5LSBの点で最初の変化が現れ、その後、アナログ入力のフルスケールから1.5LSB下の点に達するまで、1LSBごとに变化する。アナログ信号は連続量に対して、デジタル信号は量子化されているため、実際の入力信号と出力デジタル値の間には最大0.5LSBの差が発生する。この0.5LSBの誤差のことを量子化誤差と呼ぶ。量子化誤差を V_{LSB} とし、デジタル出力に対応するアナログ値を V_K ($K:1 \sim 2^N-1$, N :AD変換器の分解能[bit]) とすると以下の式で表現できる。

$$V_{LSB} = \frac{V_{(2^N-1)} - V_1}{2^N - 1} \quad (2.2.1.1)$$

図2.4について (a) オフセット誤差は変換入出力伝達特性直線においてアナログ入力が零のとき理想の零点と実際の零点との間で生じる誤差のことを示す。これはオペアン

プのオフセット等によって生じる。オフセット誤差を E_{offset} 、実際の遷移電圧 V'_k 、NビットのレベルのLSBについて考えると、以下の式で示すことができる。

$$E_{offset} = \frac{V'_{1}-V_1}{V_{FS}} * 100\% \quad (2.2.1.2)$$

また (b) フルスケール誤差は E_{FS} は V_{LSB} と関係し、最終の遷移電圧である $V_{7'}$ と理想的な遷移電圧である V_7 との差として表現される。

$$E_{FS} = \frac{V_{7'}-V_7}{V_{LSB}} \quad (2.2.1.3)$$

最後に図2.4 においてゲイン誤差、 E_{Gain} は実際の変換特性と理想的な変換特性の比として定義され、両方の変換特性の始点と終点を使って定義される。

$$E_{Gain} = \frac{V_{2N-1'}-V_{1'}}{V_{2N-1}-V_1} * 100\% \quad (2.2.1.4)$$

2.2.2 動的特性

動的特性とは、信号の歪やノイズの特性を表したものである。ADCの分解能、サンプリング周波数、入力周波数に依存し、動的非線形性、歪、ノイズ、そしてセットリング誤差の情報を含んでいる。解析手法の一つとして、正弦波信号を入力し、変換されたデジタル信号をFFTすることで得られる。D/A変換においてはデジタル的に正弦波信号を発生させ、出力アナログ信号のスペクトラムより得られる。

図2.5はデータ点数4096、サンプリング周波数10MS/s、入力周波数0.5MHzの高速フーリエ変換の結果を示したものである。このスペクトラムは量子化誤差などが原因による高調波歪を含んでいる。

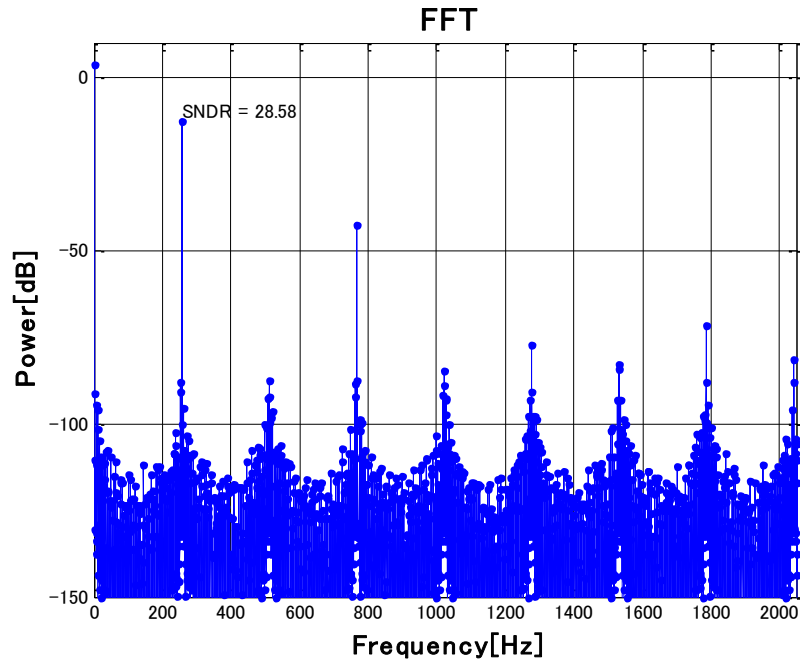


図2.5 10bitのサイクリックADC（誤差あり）の出力スペクトラム

歪やノイズに関して、以下のような特性が重要である。

- SNR

正弦波を入力した時の信号対雑音の成分比をSNR (Signal to Noise Ratio) と呼ぶ。雑音には量子化誤差、回路中の雑音が含まれているが高調波成分は含まれていない。基本波の実行値を A_s 、全雑音の実行値を A_n とするとSNRは

$$SNR = 20 * \log \left[\frac{A_s}{A_n} \right] [dB] \quad (2.2.2.1)$$

- THD

基本波信号と全高調波ひずみ成分との比をTHD (Total Harmonic Distortion) と呼ぶ。何次高調波まで求めるかが重要になる。全高調波の実行値を A_{HD} とするとTHDは

$$THD = 20 * \log \left[\frac{A_{HD}}{A_s} \right] [dB] \quad (2.2.2.2)$$

- SNDR

基本波信号の成分と、全高調波ひずみと雑音の成分の比をSo NDR (Signal to Noise and Distortion Ratio) と呼び、以下の式で求めることができる。

$$SNDR = 20 * \log \left[\frac{A_s}{A_{HD+n}} \right] [dB] \quad (2.2.2.3)$$

- SFDR

信号と高調波ひずみの最大値との比はSFDR (Spurious-Free Dynamic Range) と呼び、

以下の式で求めることができる（図2.6に参照）。

$$SFDR = 20 * \log \left[\frac{A_s}{A_{THD(max)}} \right] [dB] \quad (2.2.2.4)$$

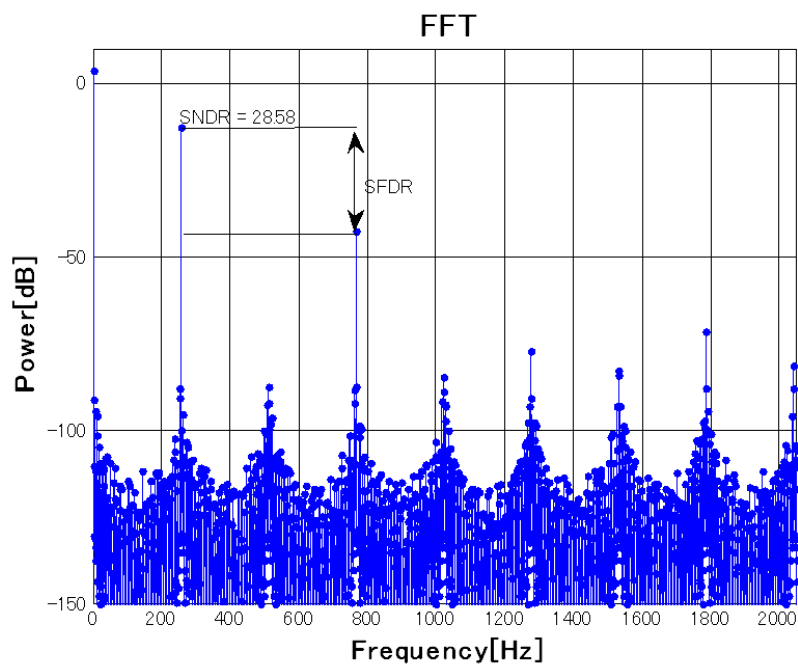


図2.6 10bitのサイクリックADC（誤差あり）のSFDR

• ENOB

AD変換器の有効bit数である。

$$ENOB = \frac{SNDR - 1.76}{6.02} [bits] \quad (2.2.2.5)$$

第3章 サイクリックAD変換器の構成

3.1 サイクリックAD変換器の基本構成

図3.1のように、入力電圧 V_{in} が入力した後、 V_a (V_{in}) はコンパレータの参照電圧と比較し、デジタル出力 D_{out} が出力する。この D_{out} に応じるDACの出力電圧 V_b (V_{ref} or $-V_{ref}$) が入力電圧 V_a (V_{in}) と引き算をした結果 V_c ($V_a - V_b$)を増幅し、出力電圧 V_{out} となる。

V_{out} をマルチプレクサにフィードバックさせ、次のサイクルの入力電圧となつて、また同じ動作をする。このような動作が一サイクル増やせば、システムの分解能は1bit増える。

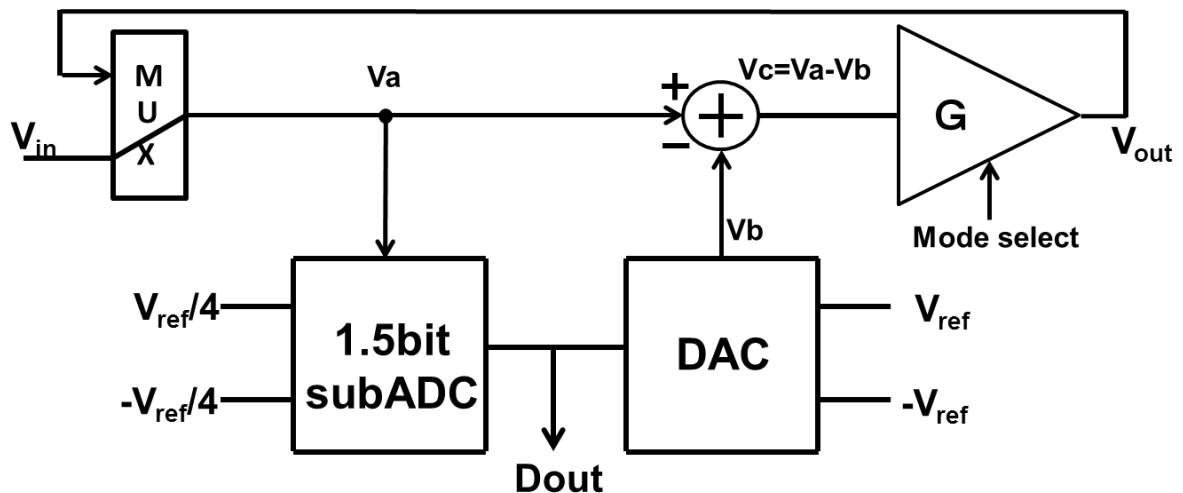


図3.1 サイクリックAD変換器の基本構成

理想の場合サイクリックAD変換器の伝達特性は式 (3.2.1.1) となる。

$$V_{out} = 2V_{in} - V_{DAC} * D_{out} \quad (V_{DAC}: \pm V_{ref}, 0) \quad (3.2.1.1)$$

サイクリックAD変換器が動作する時、サイクル数を増やすと、分解能が増えていくという動作を各サイクルが並列になっているように見こなすことができる。そのため、サイクリックAD変換器の動作を図3.2のように考えることができる。

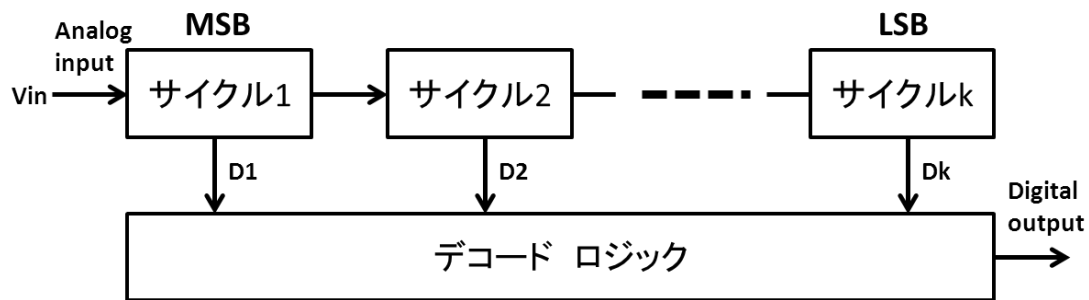


図3.2 kサイクリック動作した後のサイクリックAD変換器のブロック図

1サイクル動作すると、分解能が1bit増える。また、入力電圧 $V_a(k)$ と、デジタル出力 $D_{out}(k)$ に応じるDACの出力電圧 $V_b(k)$ と、の差 $V_c(k)$ を求めること（図3.1に参照）は、入力電圧の余りと考えることができる。この余り（残差電圧）は次サイクルで再判断され、精度を高めていく。それぞれの桁で処理をしながら、上位の桁から下位の桁までのbitが決定される。

データの処理順序は図3.3のように、時刻 $t+1$ に入力信号がサイクル1に送られ、時刻 $t+2$ にこの信号がサイクル2に送られ、サイクル1に新しい信号が送られる。このような動作をkサイクルまですると、AD変換の結果はアナログ入力電圧が最初に取り込まれたタイミングからステージ分遅れて得られるが、各クロック毎に新しいアナログ入力電圧が取り込まれるため、全体的には段数分の遅れはあるが1クロック毎に変換結果が得られる。

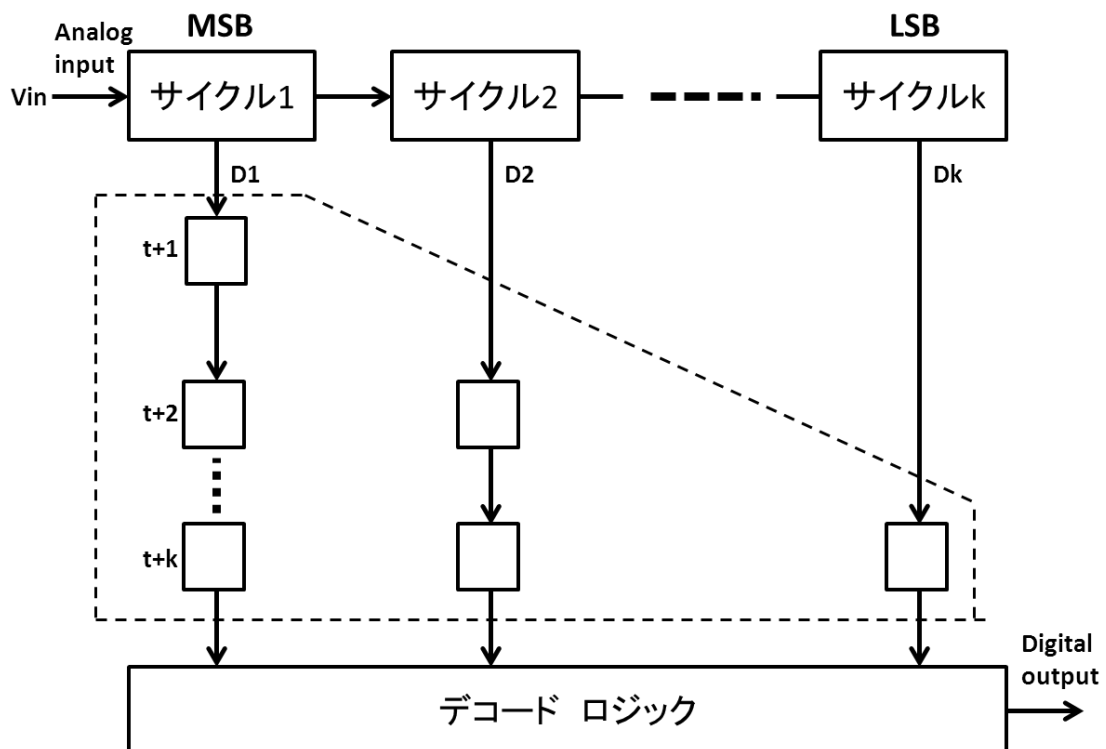


図3.3 サイクリックAD変換器のデータ処理順序

サイクリックAD変換器において、最初のサイクルは最も重要である

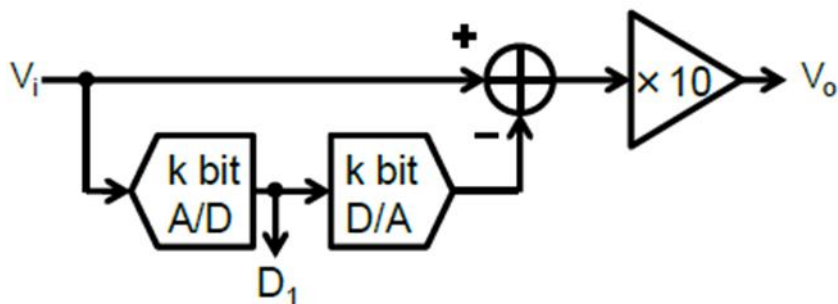


図3.4 10進数のAD変換器

理由は図3.4に示したAD変換器のデジタル出力で説明する。

$D_{out} = D_1 \cdot 10^{N-1} + D_2 \cdot 10^{N-2} + D_3 \cdot 10^{N-3} + \dots + D_N$ となる。4bitのADCは

$D_{out} = D_1 \cdot 10^3 + D_2 \cdot 10^2 + D_3 \cdot 10^1 + D_4$ となる。

図3.5(a)において4段目に誤差-1がある状態で出力Doutは1233となる。

図3.5(b)において1段目に誤差-1がある状態で出力Doutは0234となる。

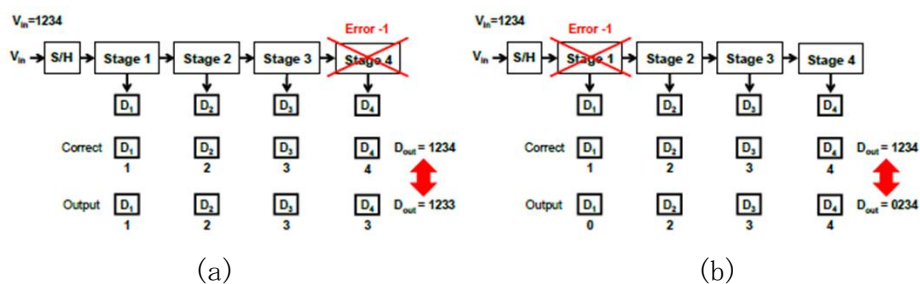


図3.5 (a)4段目に誤差がある状態 (b)1段目に誤差がある状態

図3.5のように4段目に誤差がある方が正解値に近いことが分かる。そのため、サイクリックAD変換器の最初のサイクルの精度が最も重要である。

3.2 サイクリックAD変換器の基本回路

提案したサイクリックAD変換器は図3.6のように、サイクリックAD変換器は二つのコンパレータ（1.5bit）、マルチプレクサ、乗算型DACで構成される。

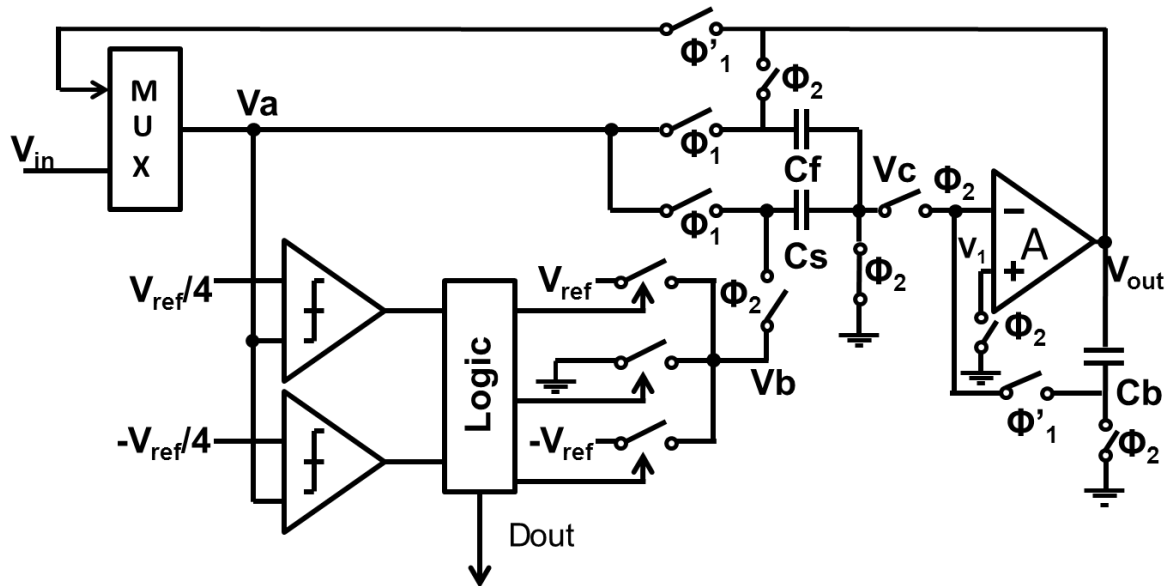


図3.6 サイクリックAD変換器の基本回路

3.2.1 1.5bitADCの動作

サイクリックAD変換器では初段に最も精度が要求され、誤差が大きく影響するため、後段の冗長性を持たせることや、入力レンジを広く設定することによって初段の1.5bitサブAD変換器における誤差を許容する技術が考えられている。

- ・入力電圧 $V_{in} > \frac{1}{4} V_{ref}$

コンパレータ1 の出力 = 1

コンパレータ2 の出力 = 1 である

MUX には11 が入力されるので、DAC 出力は V_{ref} となる。

- ・入力電圧 $-\frac{1}{4} V_{ref}/4 < V_{in} < \frac{1}{4} V_{ref}$ の場合

コンパレータ1 の出力 = 0

コンパレータ2 の出力 = 1 である

MUX には01 が入力されるので、DAC 出力は0 となる。

- ・入力電圧 $V_{in} < -\frac{1}{4} V_{ref}$ の場合

コンパレータ1 の出力 = 0

コンパレータ2 の出力 = 0 である

MUX には00 が入力されるので、DAC 出力は $-V_{ref}$ となる。

Dout は、00、01、11 が出力されるが、エンコーダにより表のように変換される。

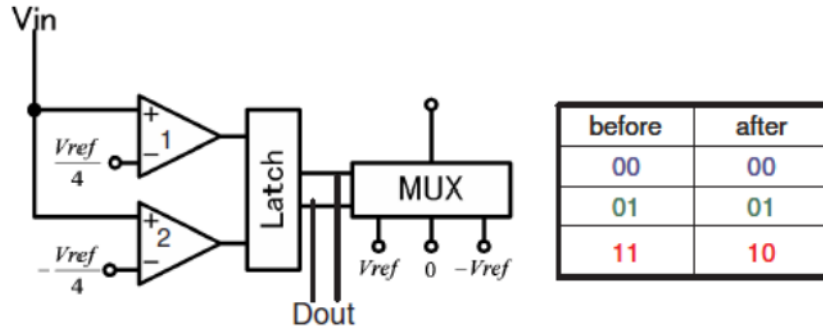


図3.7 1.5bitADC出力

乗算型DACにおける容量ミスマッチによる誤差、有限ゲインによる誤差は防止することはできないため、誤差を補正するためにデジタル自己校正が必要となる。これらの誤差について、次の章で述べる。

3.2.2 乗算型DACの動作

まず回路がサンプリングモードとなり（図3.8（a）に参照）、この場合スイッチ $\Phi 1$ がオンで、スイッチ $\Phi 2$ 、 $\Phi'1$ がオフとなり、 V_{in} が入力され、 C_f と C_s の中に電荷が蓄える。

$$\begin{aligned} Q_f &= C_f * V_{in} \\ Q_s &= C_s * V_{in} \end{aligned} \quad (3.2.2.1)$$

次に、回路が増幅モードとなり、スイッチが切り替え、 $\Phi 1$ 、 $\Phi'1$ がオフで、 $\Phi 2$ がオンとなり、DACから C_f と C_s に信号が送られ、 C_f と C_s の中に蓄えられた電荷が V_{out} 側に移動する。

$$\begin{aligned} Q'_f &= C_f * (V_{out} - V1) \\ Q'_s &= C_s * (V_{DAC} - V1) \end{aligned} \quad (3.2.2.2)$$

点Pで、電荷保存則を用い、 $V_{out} = V1 * A$

$$-Q_f - Q_s = -Q'_f - Q'_s \quad (3.2.2.3)$$

サイクリックAD変換器の伝達特性を導出できる

$$V_{out} = \frac{V_{in} - D * V_{DAC} * \frac{C_s}{C_s + C_f}}{\frac{C_f}{C_f + C_s} - \frac{1}{A}} \quad (3.2.2.4)$$

ここで、 $A = \infty$ 、 $C_f = C_s$ とすると、式（3.2.2.4）は前節の理想の場合の伝達特性となる。 A は有限、 $C_f \neq C_s$ の場合、式（3.2.2.4）は（3.2.2.5）のように書ける。

$$V_{out} = \frac{\left(1 + \frac{C_s}{C_f}\right) V_{in} - \frac{C_s}{C_f} D * V_{DAC}}{1 + \frac{1}{A\beta}} \quad (3.2.2.5)$$

容量ばらつきを $em = (C_s - C_f) / C_f$ で、有限ゲインを $efg = 1 / A\beta$ で、帰還係数 $\beta = C_s / (C_s + C_f)$ にすると、式 (3.2.2.5) は式 (3.2.2.6) のように書ける。

$$V_{out} \cong (1 - efg) \left\{ \left(1 + \frac{em}{2}\right) * 2V_{in} - (1 + em) D * V_{ref} \right\} \quad (3.2.2.6)$$

これは回路誤差を含んでいる実際の伝達特性である。

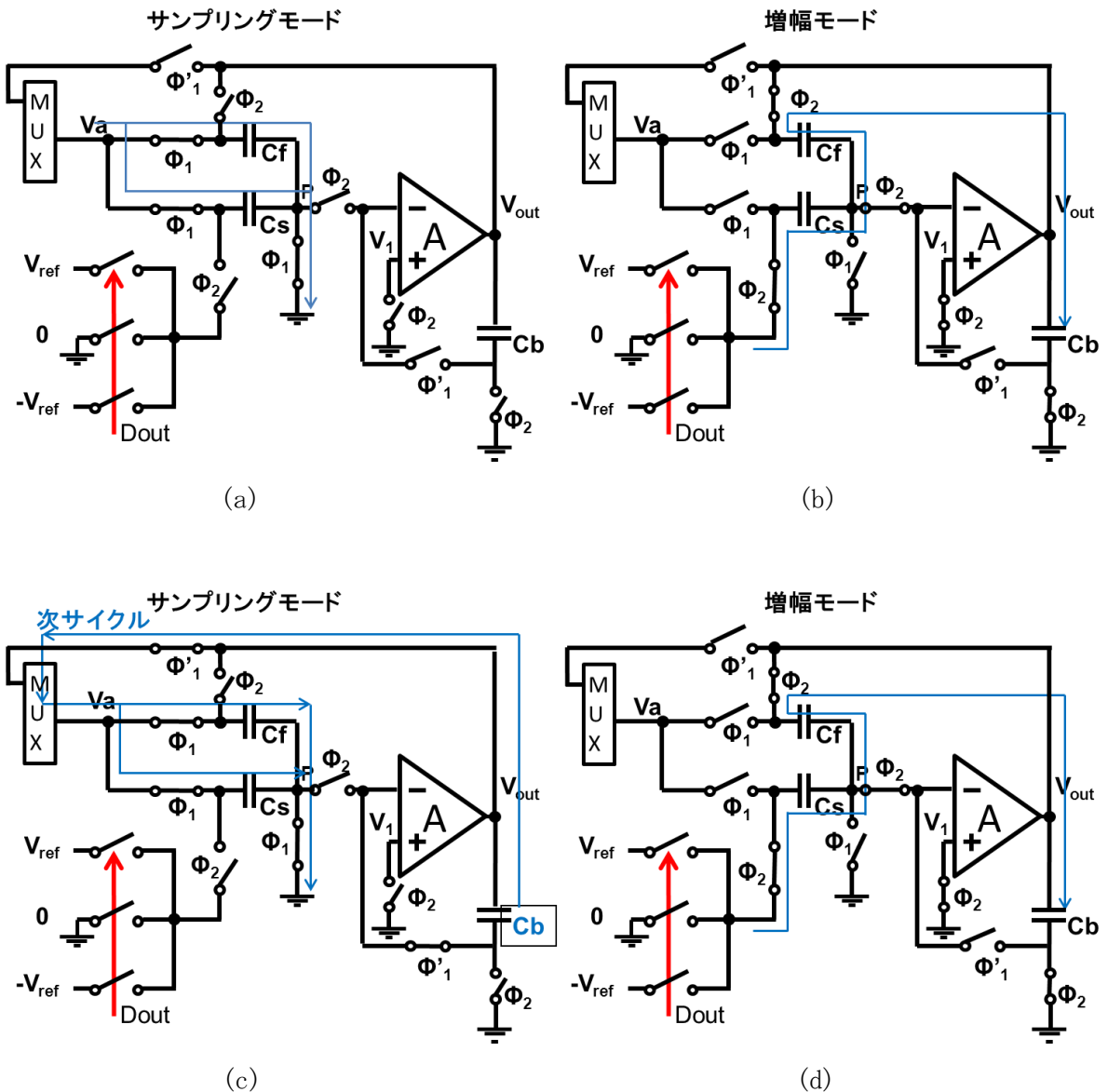


図3.8 乗算型DACの動作 (a) サンプルモード (b) 増幅モード

(c) 次サイクルサンプルモード (d) 次サイクル増幅モード

1サイクル動作すると、出力電圧 V_{out} (k) 側の C_b の中に電荷が蓄え、また回路が次のサ

ンプリングモードとなる時（図3.8(c)に参照）、スイッチが切り替え、Cbに蓄えられた電荷がマルチプレクサに移動し、次サイクルの入力電圧となる。

続いて図3.8（d）のように、回路が増幅モードとなり、(b)と同じ動作をし、Cbの中電荷が蓄え、さらに次のサイクルへフィードバックされる。

第4章 サイクリックAD変換器の課題点

4.1 有限ゲインの影響

オペアンプはサイクリックAD変換器の中で最も主要な部分である。回路面積と消費電力の大きな割合を占める。オペアンプの利得はどの程度が必要であることを述べる。

第3章で得られた式 (3.2.2.6に参照)

$$V_{out} \cong (1 - efg) \left\{ \left(1 + \frac{em}{2} \right) * 2V_{in} - (1 + em)D * V_{ref} \right\} \quad (4.1.1)$$

ここで、 $\beta = \left(\frac{C_s}{C_s + C_f} \right)$ (寄生容量を含んでいる場合 $\beta \cong \frac{1}{3}$)、 $efg = \frac{1}{A\beta}$ と考える。1.5bitの

コンパレータを使用するため、許容誤差はADC精度の $\frac{1}{4}$ LSB以下にする。

$$\frac{1}{4}LSB = \frac{2V_{ref}}{2^N} * \frac{1}{4} \quad (4.1.2)$$

NをAD変換器の分解能、Mをステージの分解能とした時以下の式が成り立つ。

$$\frac{1}{A\beta} \leq \frac{1}{2^{N-M+1}} \quad (4.1.3)$$

$$A[dB] \geq 6(N - M + 1) + 10 \quad (4.1.4)$$

8bitのAD変換器では58dB、12bitのAD変換器では82dB、14bitのAD変換器では94dBの利得が必要になる。このような高利得のオペアンプを設計するためには、消費電力が非常に大きくなり、微細トランジスタでは実現することが難しいため、サイクリックAD変換器の出力特性に影響を与えてしまう。

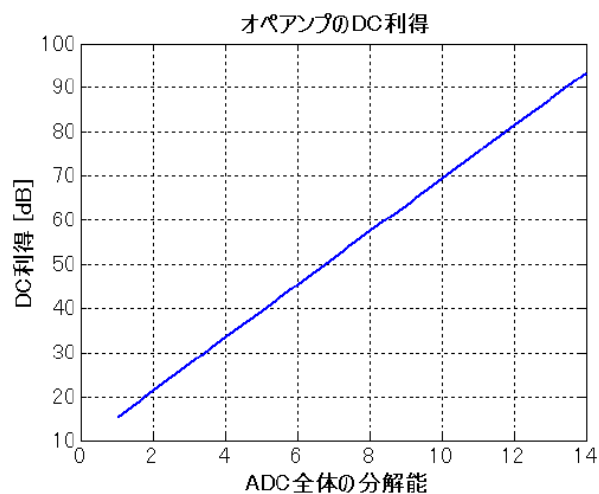


図4.1 オペアンプの利得とADCの分解能

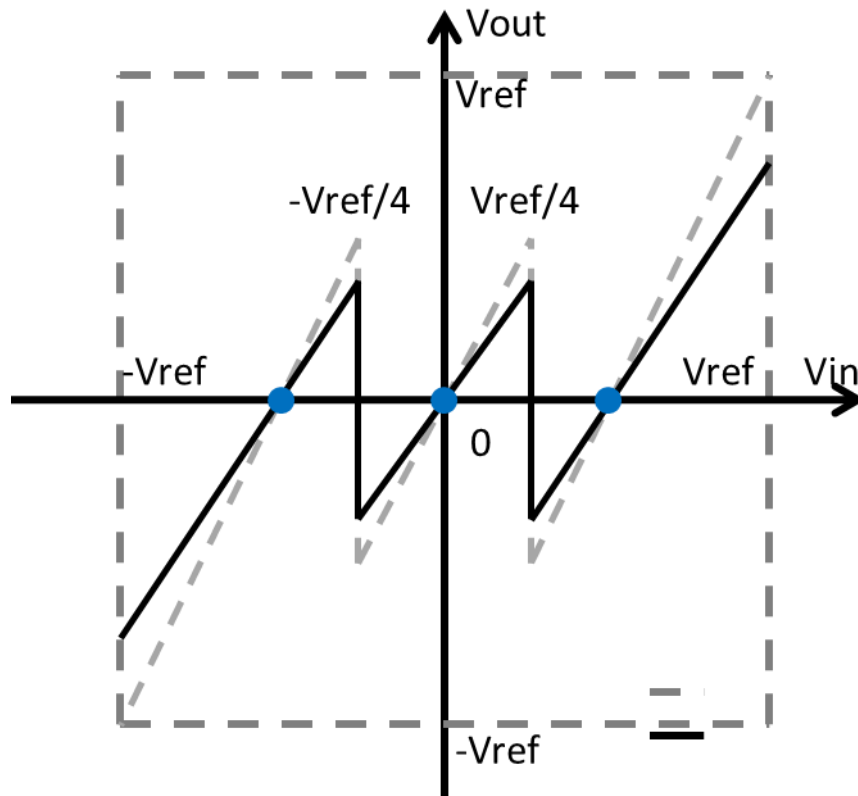


図4.2 有限ゲインがADCへの影響

図4.2のように、有限ゲインが回路に影響を与える時、出力波形 $V_{out}=0$ の点では変化がなく、波形の傾きが変化する。ADC全体に精度劣化をもたらしてしまう。

4.2 容量ミスマッチの影響

乗算型DACのはサイクリックADCにとって、重要な構成であるため、容量もサイクリックADCにとって重要である。しかし微細化が進んでいるにつれて、容量ミスマッチを許容範囲以内にするのは困難になってきていた。この節は容量ミスマッチはどの程度で許容できるかについて述べる。

第3章得られた式 (3.2.2.5) では、オペアンプ利得を無限大にすると、式は以下のよう書ける

$$V_{out} = \frac{(cf+cs)V_{in}-cs*V_{DAC}}{cf} \quad (4.2.1)$$

$$V_{out} = 2 \left(V_{in} - \frac{V_{DAC}}{2} \right) \quad (cf = cs) \quad (4.2.2)$$

式 (4.2.2) で容量の感度を求める。

$$\Delta V_{out} = \frac{\delta V_{out}}{\delta c_s} * \Delta c_s + \frac{\delta V_{out}}{\delta c_f} * \Delta c_f = \left(\frac{\Delta c_s}{c_s} - \frac{\Delta c_f}{c_f} \right) (V_{in} - V_{DAC}) \quad (4.2.3)$$

図4.4に、誤差 $\delta 1$ と $\delta 2$ が現れ、それを求めると

$$\delta = \delta 1 + \delta 2 = \left(\frac{\Delta c}{c} \right) * V_{ref} \quad (4.2.4)$$

$$\delta 1 = \frac{3}{4} \left(\frac{\Delta c}{c} \right) * V_{ref} \quad (V_{DAC} = -V_{ref}) \quad (4.2.5)$$

$$\delta 2 = \frac{1}{4} \left(\frac{\Delta c}{c} \right) * V_{ref} \quad (V_{DAC} = 0) \quad (4.2.6)$$

1.5bit許容誤差を1/4LSBにすると

$$\frac{1}{4} LSB = \frac{2V_{ref}}{2^N} * \frac{1}{4} = \frac{V_{ref}}{2^{N+1}} \quad (4.2.7)$$

また、初段利得を考慮し

$$\delta \leq \frac{V_{ref}}{2^N} \quad (4.2.8)$$

$$\frac{\Delta c}{c} \leq \frac{1}{2^N} \quad (4.2.9)$$

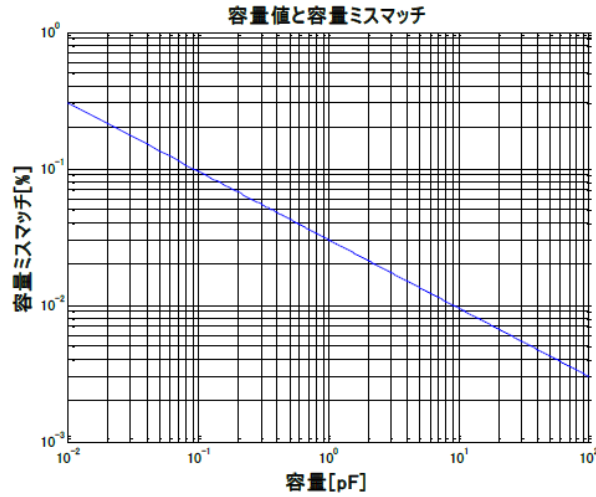


図4.3 容量値と容量ミスマッチ

分解能12ビットの場合は0.025%程度となる。容量値に対するミスマッチの要求から容量値を決める。

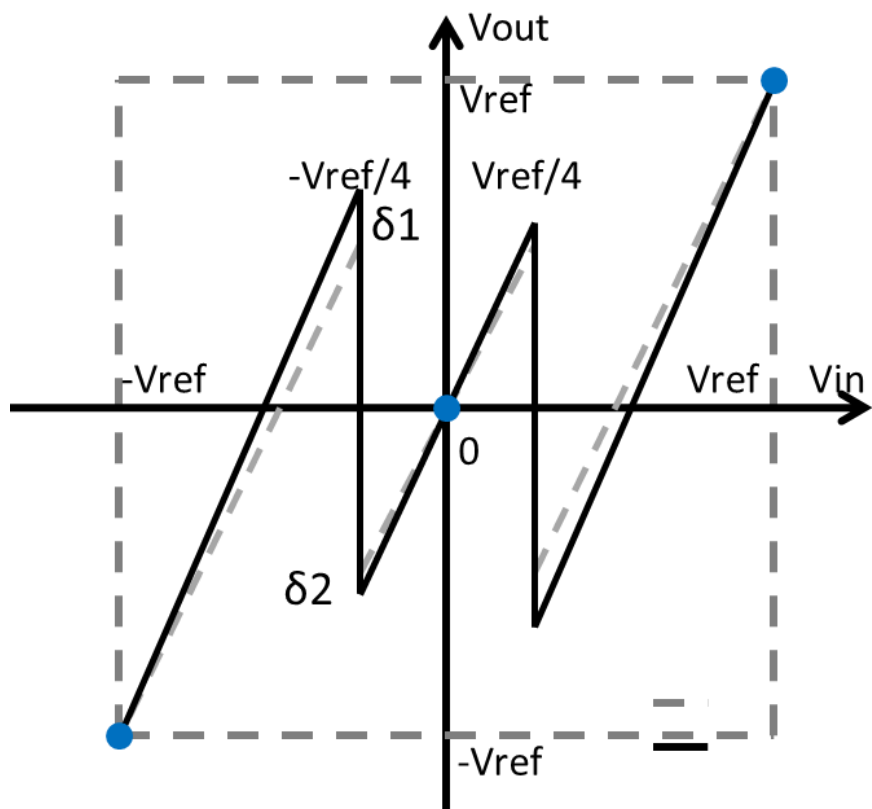


図4.4 容量ミスマッチがADCへの影響

図4.4のように、容量ミスマッチが影響を与える時、 $V_{out} = (\pm V_{ref}, 0)$ の点では変化なし、出力波形の傾きが変化する。

第5章 サイクリックAD変換器自己校正法

容量ミスマッチと有限ゲイン誤差は回路に大きい影響を与える。これらの誤差を補正するため、本章でサイクリックAD変換器に影響を与えた誤差について、誤差分析、補正数学モデル、自己校正アルゴリズムを述べる。

デジタル補正技術は、有限ゲイン誤差、容量ミスマッチ、またアンプの非線形性などを計測し、メモリに格納しておく必要がある。計測後、計測データをもとにしてデジタル演算し誤差を補正していく。

5.1 デジタル自己校正原理

容量ミスマッチと有限ゲインがある場合、出力電圧の波形が変化する。

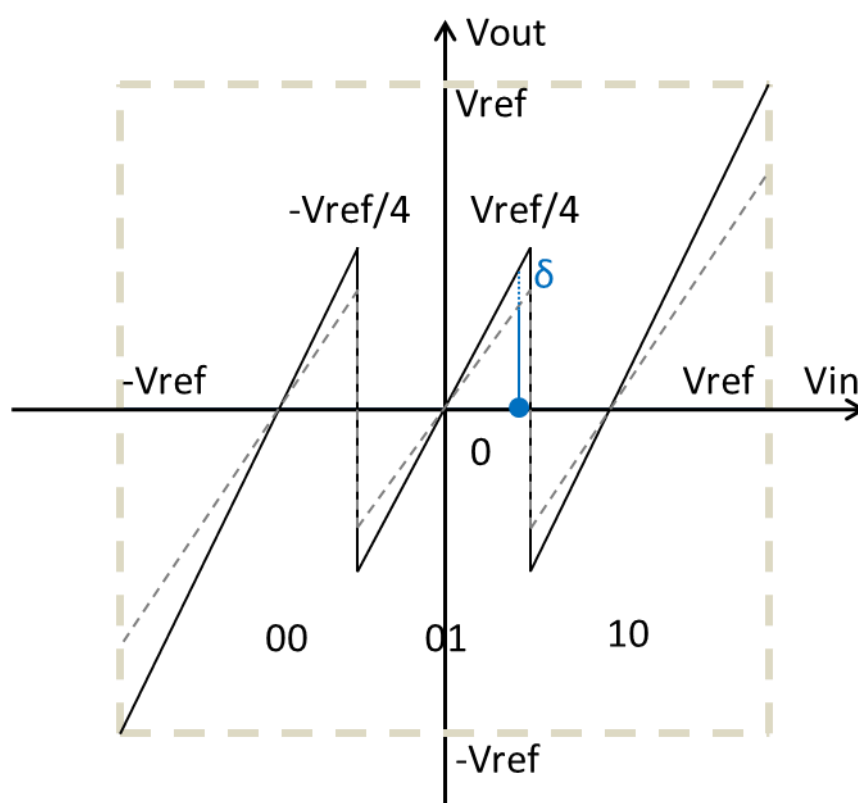


図5.1 誤差により出力電圧の変化

図5.1のように、破線は実際の出力電圧、実線は理想な出力電圧である。青の点では理想の場合、理想な出力電圧になるはずだが、回路の誤差により、理想の出力電圧に比べ、 δ の差が出てしまった。

これらの影響で、デジタル出力の線形性が劣化される。この差の高さを測定し、メモ

りに格納し、またADCが通常動作の時、加算回路でADCに補正すれば、ADCの線形性が改善できる。

5.2 デジタル自己校正システムの構成

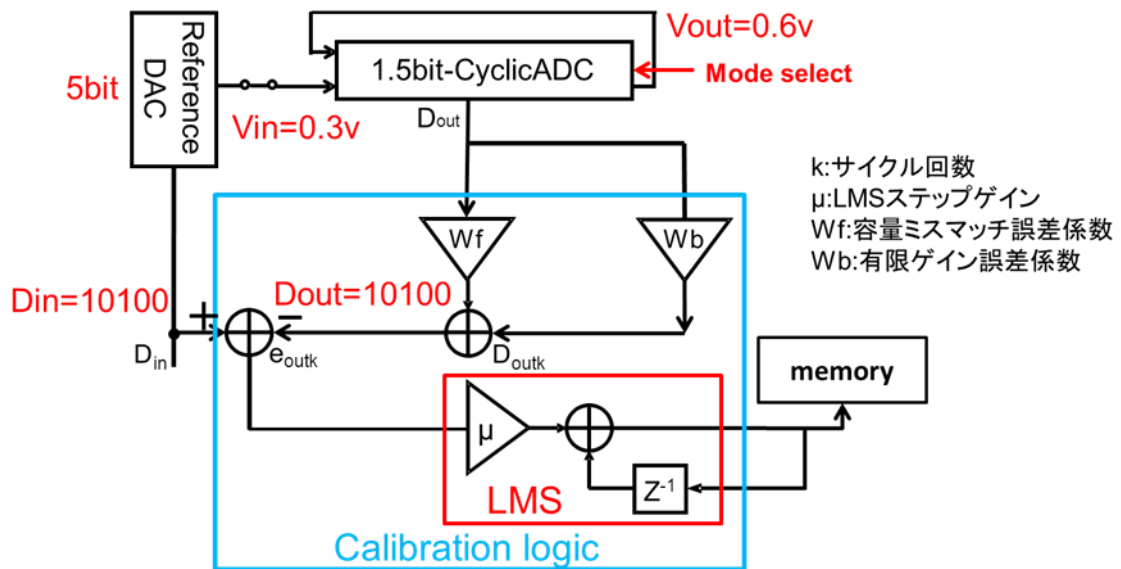


図5.2 自己校正システム構成

サイクリックAD変換器の自己校正を行う時、以下の手法を提案した。システムは自己校正モードと通常動作モードに分ける。自己校正モードの中、高電力モードと通常モードがある。自己校正モードで誤差を測定し、誤差係数を計算し、メモリに格納する。通常動作モードではメモリに記憶している誤差係数を回路にデジタル的に補正する。

(1) 自己校正モード

- ・高電力モード（アンプの利得が無限大）

この電力モードでは、オペアンプの利得が無限大なため、式 (3.2.2.5) の伝達特性により、システムのゲインが理想であり、この時ADCへ影響を与える誤差は容量ミスマッチのみだと考える。

- ・通常モード（有限ゲイン誤差と容量ミスマッチ両方あり）

この電力モードでは、測定した誤差は有限ゲイン、容量ミスマッチ両方のある誤差であり、ここで、先測定した容量ミスマッチを除けば、残った誤差分は有限ゲイン誤差だと考えている。

測定した誤差をデジタル的に計算を行い、メモリに格納する。

(2) 通常動作モード

この電力モードでは、誤差測定を行わず、回路が通常動作をし、生ずる誤差はメモリに格納された補正係数で、自己校正を行う。

また、自己校正は最初のサイクルから、後段サイクルにしていくため、最初のサイクルの精度が重要で、自己校正の基準としている。

図5.2のように、自己校正システムはサイクリックAD変換器、Digital calibration logic、リファレンスDACで構成される。デジタルで誤差を測定するため、 $D_{in}(k)$ と $D_{out}(k)$ の分解能を合わせる必要があると考えている。

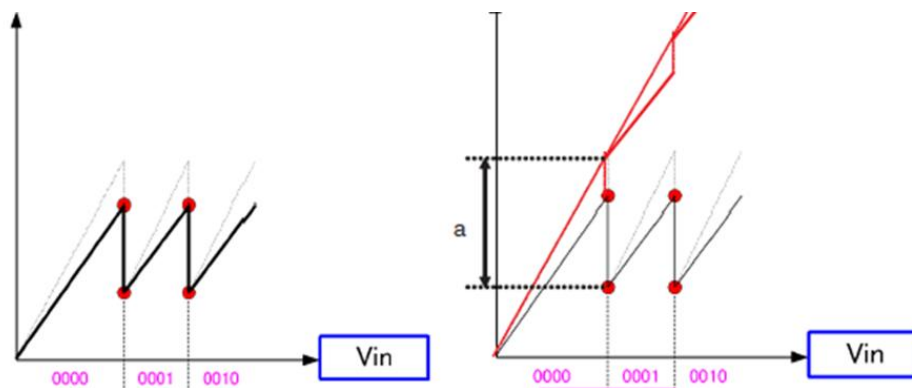


図5.3 有限ゲイン誤差が影響を与えている

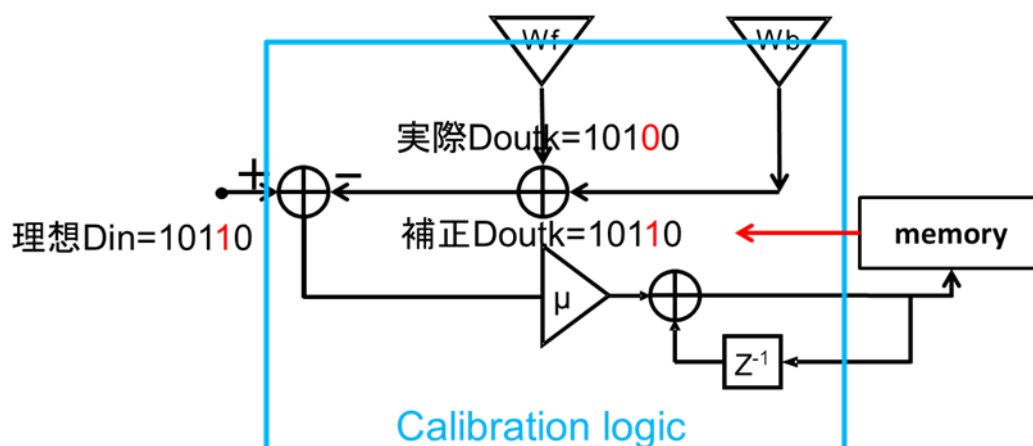


図5.4 誤差が出るところに補正する

D_{in} はシステムと同じ分解能を持つため、例えば第 n サイクルで、出力電圧のエラーがあり（図5.7に参照）、ここで、デジタル回路を用い、強制的にデジタル出力を0または1に変化させる（図5.8に参照）。

5.3 自己校正システムの動作

本節でサイクリックAD変換器が自己校正を行う時、システムの動作について述べる。図5.3のように、入力電圧Dinが入力され、リファレンスDACでアナログ入力Vinに戻る。VinがサイクリックAD変換器に入力され、デジタル出力Doutが出力される。システムの電力モードの切り替えにより、デジタル出力Doutを容量ミスマッチと有限ゲイン誤差に分けて考え、最終的にDoutkにまとめ、Dinと比較する。比較した結果は理想と違う分（誤差）であり、この誤差の係数をLMSアルゴリズムで計算し、メモリに格納する。また、AD変換器が通常動作をする時、メモリに格納された補正係数は自動的に各サイクルに補正する。

また、 V_{in} はコンパレータと比較し、乗算型DACの出力と引き算をし、増幅された残差電圧が入力側マルチプレクサにフィードバックされる。

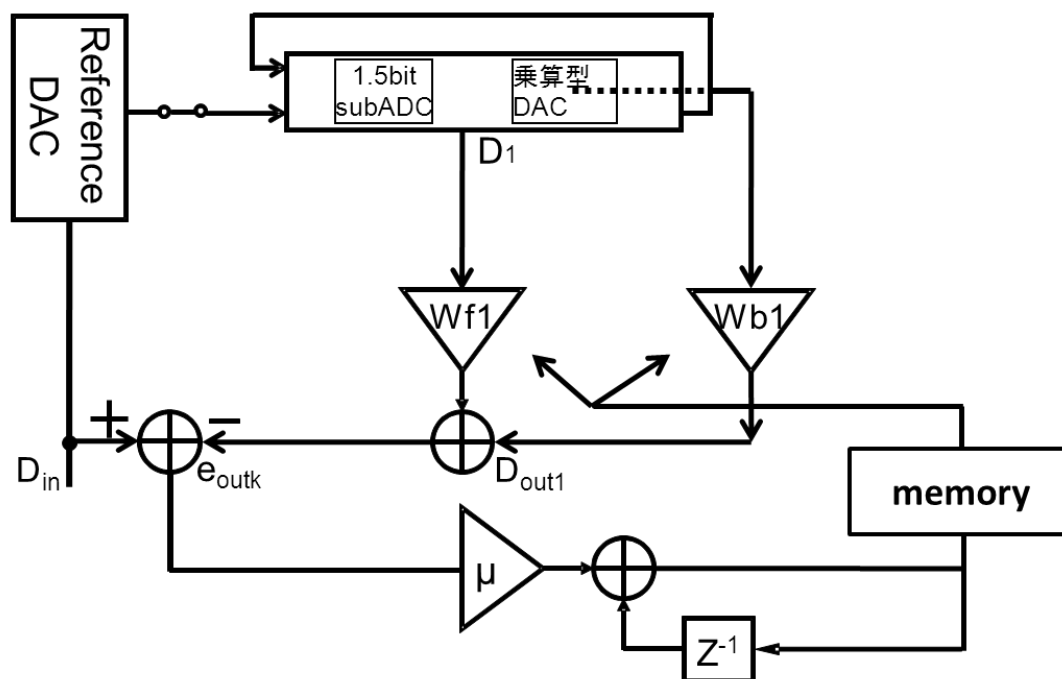


図5.5 自己校正システムの1サイクル動作

このように、システムが1サイクル動作すると、サイクル1が二つの補正係数を計算し、メモリに格納する。

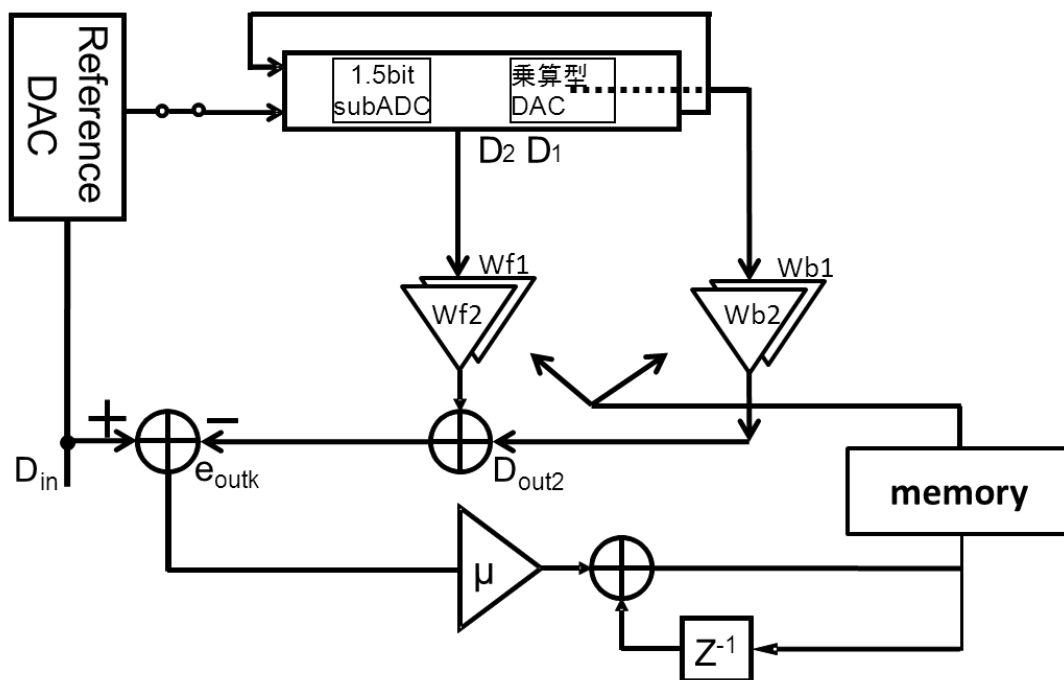


図5.6 システムが2サイクル動作

システムが2サイクル動作すると、サイクル2にはさらに二つの補正係数が算出でき、メモリに格納する。

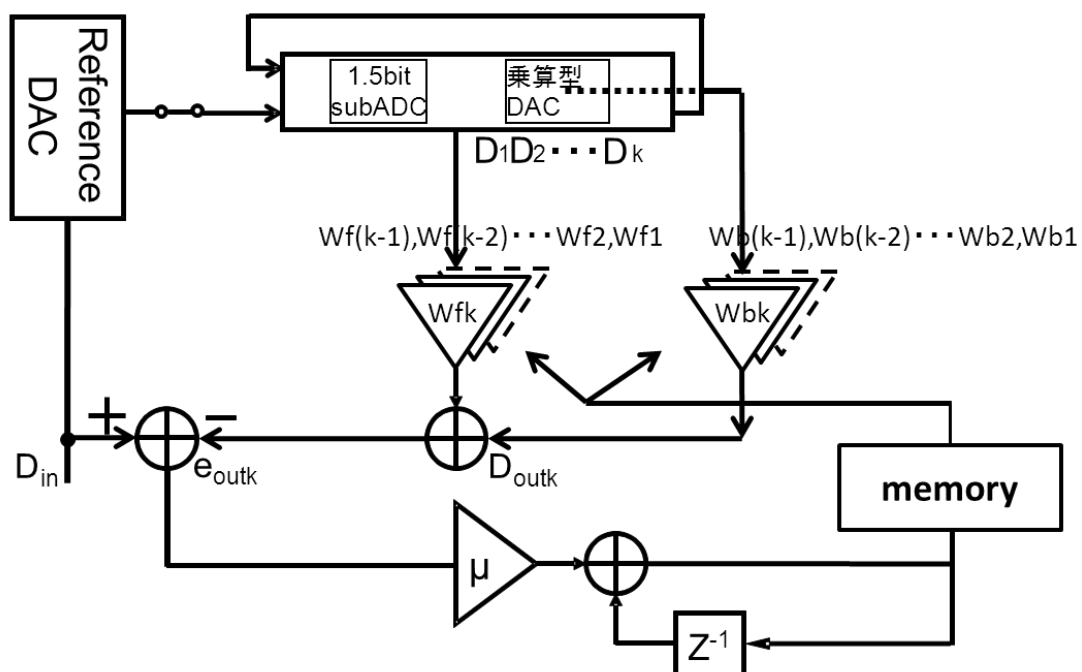


図5.7 システムのkサイクル動作

k サイクル動作をし、各サイクルのデジタル出力をDinと比較する。

5.4 サイクリックAD変換器自己校正の誤差測定

第3章と第5章で、サイクリックADCの基本回路構成と自己校正システム構成を説明した。また第5章の自己校正システム構成を説明した時、提案したサイクリックAD変換器について自己校正のアプローチも述べた。本節では、提案したアプローチに従い、サイクリックAD変換器が自己校正する時の誤差を分析する。

図5.9のように、まず、自己校正モードで、ADCが高電力モードとなり、この時オペアンプの利得が無限大なため、回路誤差は容量ミスマッチのみだと考える。

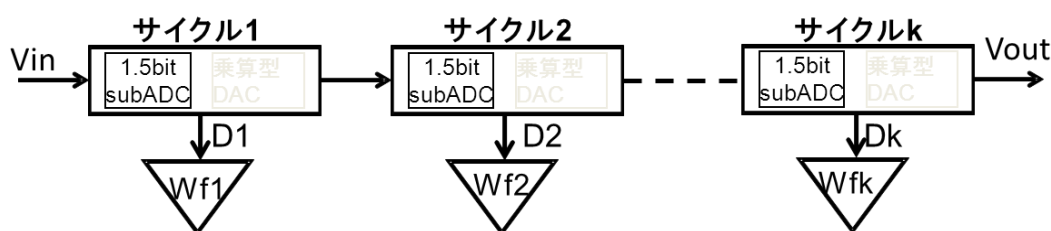


図5.8 高電力モードで容量ミスマッチの測定

ここで、各サイクルの容量ミスマッチが測定できる。

続いてADCが通常モードに戻り、この時ADCに影響を与える誤差は容量ミスマッチと有限ゲイン誤差である。図5.9で容量ミスマッチの測定が完了したため、図5.10の誤差を測定し、その誤差から容量ミスマッチの分を除けば、残った分は有限ゲイン誤差である。また、デジタル的に測定を行うため、有限ゲイン誤差を当サイクルでなく、その次のサイクルで測定される。

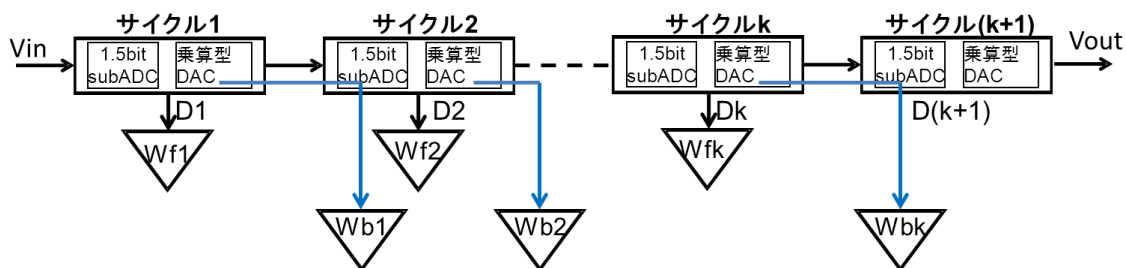


図5.9 通常モードで有限ゲイン誤差を測定

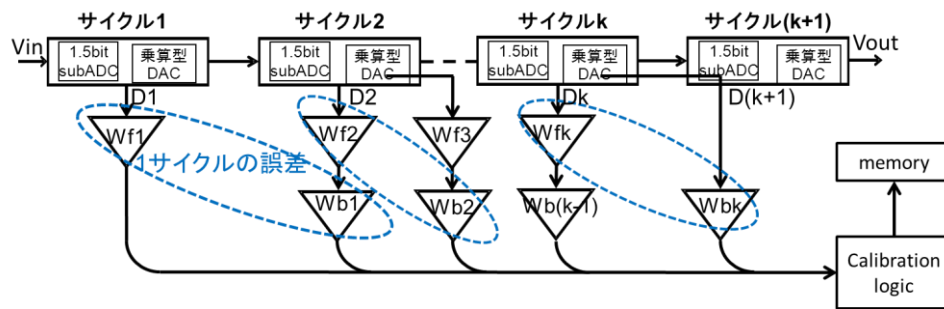


図5.10 自己校正モードが完了したサイクリックADC

高電力モードと通常モードでの測定がすべて完了した後、システムが図5.11のようになる。破線の中の $W_f(k)$ と $W_b(k)$ が k サイクルの補正係数となる。

この図をモデルとして、各サイクルの誤差の関係が分かる。次の節はこの図について、アルゴリズムを検討する。

5.5 自己校正アルゴリズム

前節では、有限ゲイン誤差と容量ミスマッチを分析した。本節では、図5. 11のモデルで自己校正アルゴリズムを検討する。

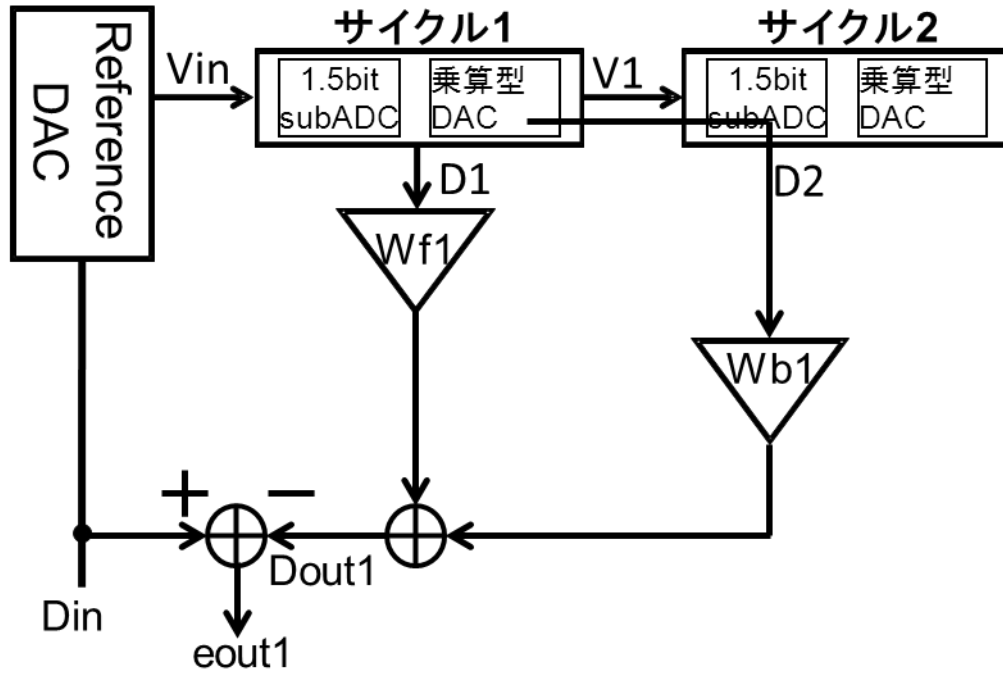


図5. 11 1サイクル動作した後の補正係数

サイクリックADCが1サイクル動作すると、図5. 11により、図5. 12のように考えることができる。Wf1とWb1はサイクル1における容量ミスマッチと有限ゲイン誤差の補正係数である。容量ミスマッチの補正係数Wf1は当サイクルで測定でき、有限ゲインの補正係数Wb1は次サイクルのコンパレータで測定できる。これらの関係を式で表すと

$$\begin{aligned} & \bullet \text{Dout1} = Wf1 * D1 + Wb1 * V1 \\ & \bullet V1 = (1 - efg) [(1 + em/2) * 2 * Vin - (1 + em) * D1 * Vref] \\ & \bullet Vref = 1 \end{aligned} \quad (5.5.1)$$

となり、自己校正誤差 e_{out1} を求める。

$$\begin{aligned} & \bullet e_{out1} = Din - D_{out1} \\ & = Vin - Wf1 * D1 - Wb1 (1 - efg) [(1 + em/2) * 2 * Vin - (1 + em) * D1 * Vref] \\ & = Vin [1 - Wb1 (1 - efg) (1 + em/2) * 2] + D1 [Wb1 (1 - efg) (1 + em) - Wf1] \end{aligned} \quad (5.5.2)$$

e_{out1} が0となれば、 $Din = D_{out1}$ 、自己校正が完了とする。そのため、上式の第1項と第2項が0の時、 e_{out} が0となる。すなわち

$$\begin{aligned} & \bullet Wb1 = 1/2 (1 - efg) (1 + em/2) \\ & \bullet Wf1 = (1 + em) / 2 (1 + em/2) \end{aligned} \quad (5.5.3)$$

Wf1とWb1は式 (5. 5. 3) に収束させる必要がある。

LMSアルゴリズムを用い

$$W_b(k+1) = W_b(k) + \mu (e_{outb1}) = W_b(k) + \mu [V_{in} - W_b(k) \cdot 2(1 - efg) \cdot (1 + em/2) V_{in}]$$

$$W_f(k+1) = W_f(k) + \mu (e_{outf1}) = W_f(k) + \mu [D1 \cdot (1 + em) / 2 \cdot (1 + em/2) - W_f(k)] \quad (5.5.4)$$

μ はLMSループのステップゲイン、は繰り返し回数である。したがって W_f1 と W_b1 は式 (5.5.4) に収束する。

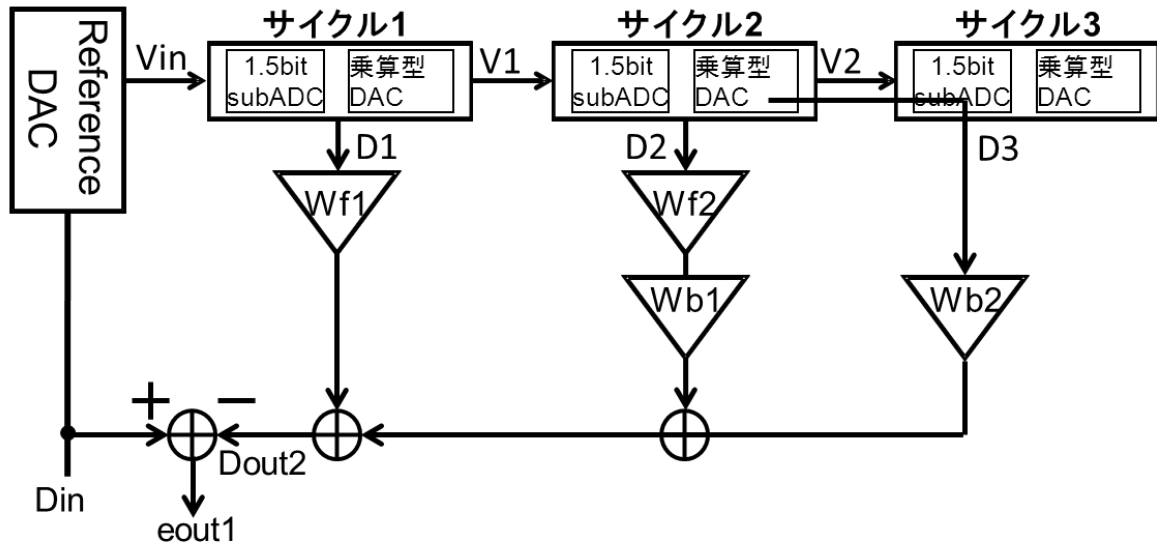


図5.12 2サイクル動作した後の補正係数

サイクリックADCを2サイクル動作させると、図5.13のようになる。

- $D_{out2} = W_{f1} * D1 + W_{f2} * W_{b1} * D2 + W_{b2} * V2$
 - $V2 = (1 - efg) [(1 + em/2) * 2 * V1 - (1 + em) * D1 * V_{ref}]$
 - $V_{ref} = 1$
- (5.5.5)

式5.5.5より2サイクルの補正係数を求める。

- $e_{out2} = D_{in} - D_{out2}$
 - $= V_{in} - W_{f1} * D1 - W_{f2} * W_{b1} * D2 - W_{b2} * V2$
 - $= V_{in} - W_{f1} * D1 - W_{b1} * W_{f2} * D2 - W_{b2} (1 - efg) \{ [2(1 - efg)(1 + em/2)]^2 * V_{in} - (1 + em/2) 2(1 - efg)(1 + em) D1 - (1 + em) D2 \}$
 - $= V_{in} \{ 1 - W_{b2} [2(1 - efg)(1 + em/2)]^2 \} + D1 \{ W_{b2} * [(1 - efg)^2] 2(1 + em/2)(1 + em) - [(1 + em)/(1 + em/2) * 2] \} + D2 \{ W_{b2} (1 - efg)(1 + em) - W_{f2} / [(1 - efg)(1 + em/2) 2] \}$
- (5.5.6)

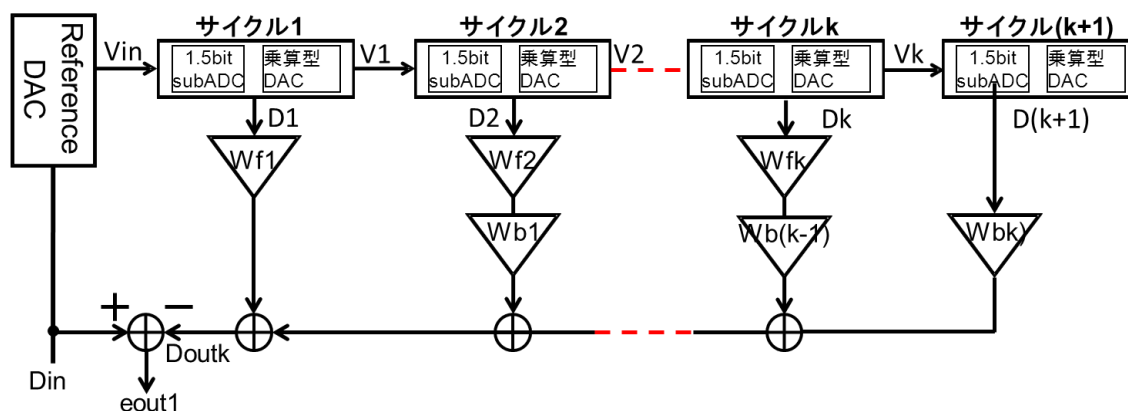
式 (5.5.6) の第1、2、3項が0になる場合 e_{out} が0となり、自己校正が完了する。

- $W_{b2} = 1 / [2(1 - efg)(1 + em/2)]^2$
 - $W_{f2} = (1 + em) / 2(1 + em/2)$
- (5.5.7)

W_{b2} と W_{f2} は式 (5.5.7) に収束させる必要がある。

$$\begin{aligned} W_b(k+1) &= W_b(k) + \mu (e_{outb2}) = W_b(k) + \mu (e_{outb2}) \\ W_f(k+1) &= W_f(k) + \mu (e_{outf2}) = W_f(k) + \mu (e_{outf2}) \end{aligned} \quad (5.5.8)$$

μ はLMSループのステップゲイン、 k は繰り返し回数である。したがって W_b2 と W_f2 は式(5.5.8)に収束する。



サイクリックADCがkサイクル動作をする時、補正係数は以下の式で示す。

- $$\begin{aligned} & \bullet \text{Doutk} = \text{Wf1} * \text{D1} + \text{Wf2} * \text{Wb1} * \text{D2} + \text{Wf3} * \text{Wb2} * \text{D3} + \dots + \text{Wfk} * \text{Wb}(\text{k}-1) * \text{Dk} + \text{Wbk} * \text{D}(\text{k}+1) \\ & \bullet \text{Vk} = (1 - \text{efg}) \left[(1 + \text{em}/2) * 2 * \text{V}(\text{k}-1) - (1 + \text{em}) * \text{Dk} * \text{Vref} \right] \\ & \bullet \text{Vref} = 1 \end{aligned} \quad (5.5.9)$$

- $e_{outk} = D_{in} - D_{outk}$

$$= V_{in} - W_{f1} * D_1 - W_{f2} * W_{b1} * D_2 - W_{f3} * W_{b2} * D_3 \cdot \cdot \cdot - W_{fk} * W_{b(k-1)} * D_k - W_{bk} * D_{(k+1)}$$

$$\begin{aligned} \bullet \text{ Wbk} &= 1/[2(1-\text{efg})(1+\text{em}/2)]^k \\ \bullet \text{ Wfk} &= (1+\text{em})/2(1+\text{em}/2) \end{aligned} \quad (5.5.10)$$
$$\begin{aligned} Wb(k+1) &= Wb(k) + \mu (e_{outbk}) = Wb(k) + \mu (e_{outbk}) \\ Wf(k+1) &= Wf(k) + \mu (e_{outfk}) = Wf(k) + \mu (e_{outfk}) \end{aligned} \quad (5.5.11)$$

μ はLMSループのステップゲイン、 k は繰り返し回数である。したがって w_{bi} は式(5.5.11)に収束する。

第6章 デジタル自己校正についてMATLAB シミュレーション結果の確認

以上で述べた提案手法についてMATLABシミュレーションを用い、サイクリックADCの自己校正法の有効性を確認した。

6.1 シミュレーション回路

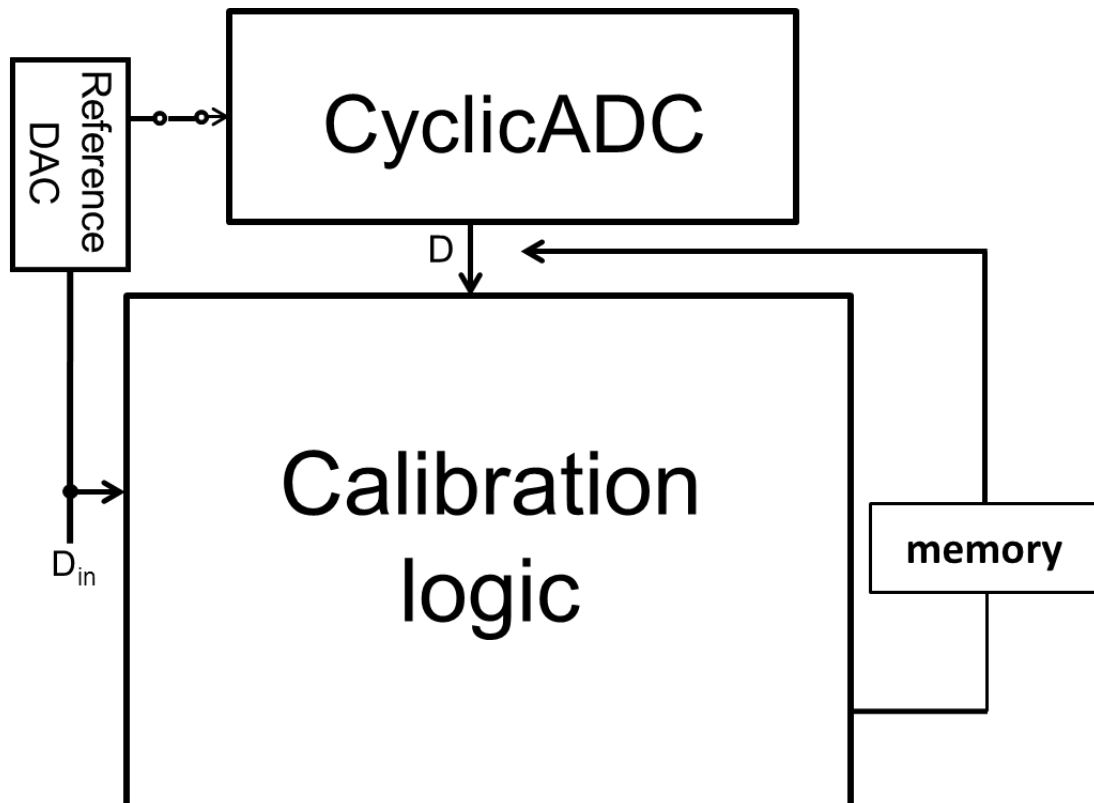


図6.1 提案したデジタル自己校正サイクリックAD変換器

提案したサイクリックAD変換器は図6.1のように、ADCの分解能に合わせるリファレンスDAC、Calibration Logic、メモリなどの素子で構成される。

6.2 シミュレーション条件

- ・入力電圧

正弦波 ± 1 [V]、入力周波数 $F_{in}=255$ [Hz]

- ・サンプリング周波数

$F_s=1024$ M[Hz]

- ・ADCへの誤差

容量ミスマッチ2%、有限ゲイン誤差14%

- ・分解能

12bit

の条件でシミュレーションを行った。

6.3 シミュレーション結果

サイクリックAD変換器に $-V_{ref}$ から V_{ref} のランプ波を入力した時の非直線性について、自己校正を行う前、INLとDNLを計算した結果を図6.2に示した。

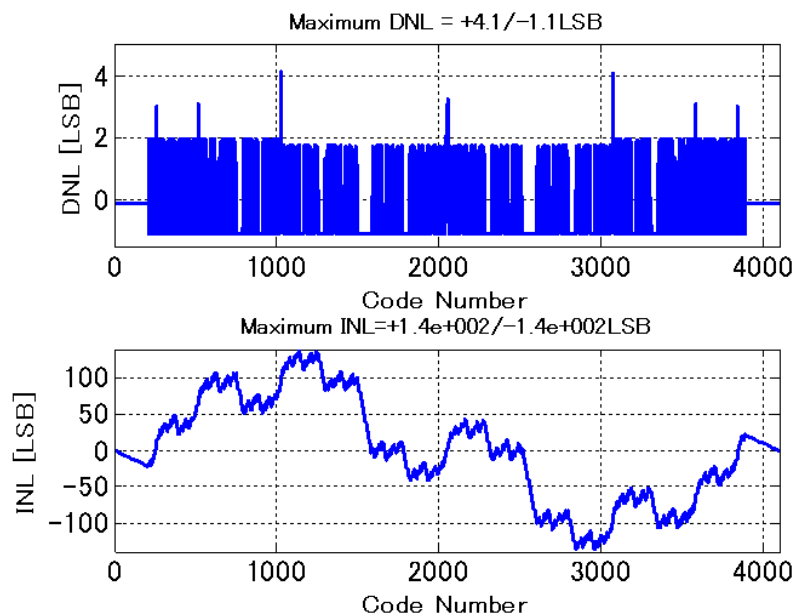


図6.2 自己校正する前サイクリックADCのINL, DNL

$-V_{ref}$ から V_{ref} のランプ波を入力した時の非直線性について、自己校正をした後、INLとDNLを計算した結果を図6.3に示した。

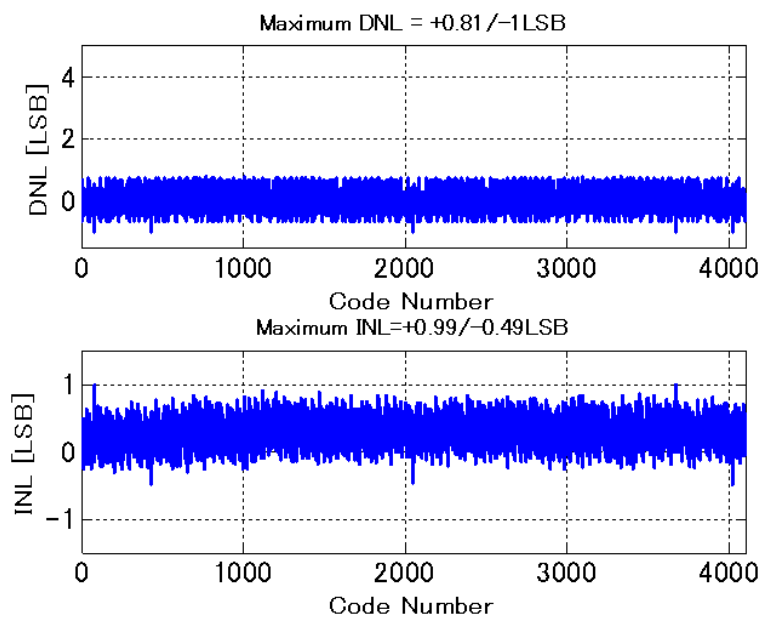
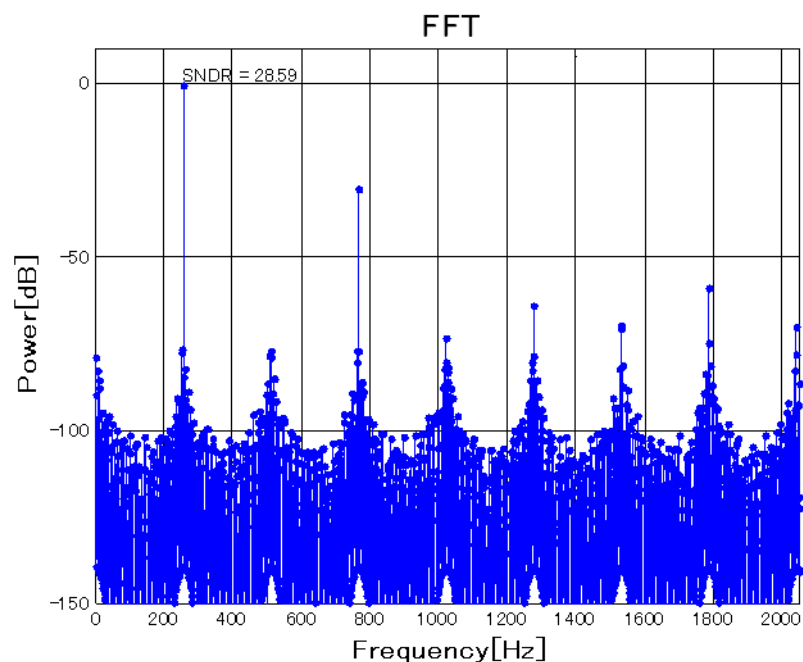


図6.3 自己校正した後サイクリックADCのINL, DNL

自己校正を行った後、サイクリックADCの線形性を見ると、ADCの線形性が良くなったことが分かった。

また、正弦波を入力入れる時のFFT解析もした（図6.4に参照）。

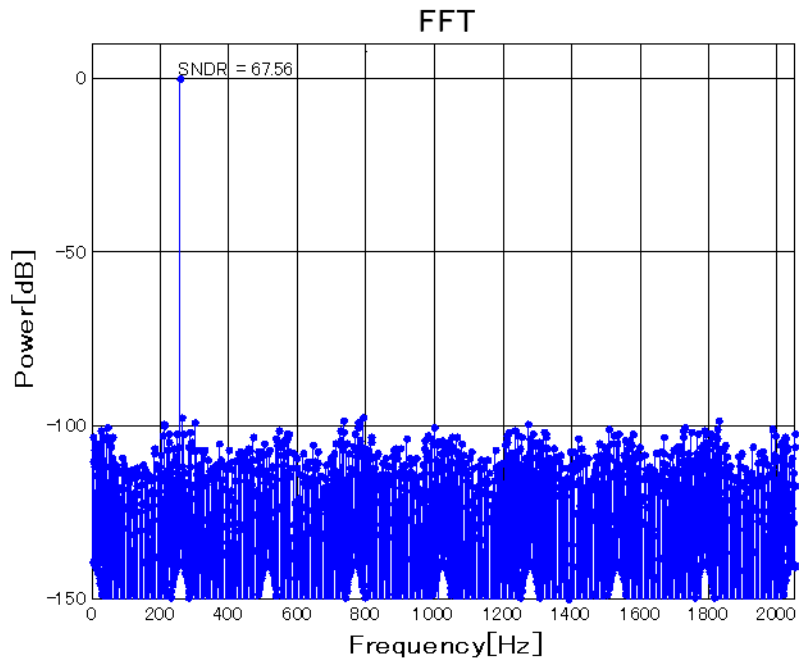


SNR=34.94dB THD=-29.74dB

SNDR=28.59dB ENOB=4.46bit

図6.4 自己校正前サイクリックADCのパワースペクトラム

正弦波を入力し、自己校正した後の結果を図6.5に示した。



SNR=67.57dB THD=-97.8dB
 SNDR=67.56dB ENOB=10.93bit

図6.5 自己校正後サイクリックADCのパワースペクトラム
 自己校正した後、有効bit数が4.46bitから10.93bitに改善した。

各サイクルの補正係数を表1に示した

表1 12bitサイクリックADC各サイクル補正係数

Wf1=0.4853	Wb1=0.5756
Wf2=0.4853	Wb2=0.3313
Wf3=0.4853	Wb3=0.1907
Wf4=0.4853	Wb4=0.1098
Wf5=0.4853	Wb5=0.0632
Wf6=0.4853	Wb6=0.0364
Wf7=0.4853	Wb7=0.0209
Wf8=0.4853	Wb8=0.0120
Wf9=0.4853	Wb9=0.0069
Wf10=0.4853	Wb10=0.0040
Wf11=0.4853	Wb11=0.0023
Wf12=0.4853	Wb12=0.0013

第7章 結論

本論文ではサイクリックAD変換器のデジタル自己校正技術に焦点を当て、実用化に対する課題や問題点について解決するための新たな技術を提案した。またデジタル自己校正法で困難なオペアンプの非線形性について焦点をあて、対策技術について検討した。本論文で得られた成果を次にまとめる。

高精度、小面積、構造簡単などのメリットを持つサイクリックAD変換器に自己校正アルゴリズムを検討した。また高精度のサイクリックAD変換器を検討することができた。MATLABシミュレーションで自己校正の効果を確認した。

謝辞

本研究を進めるに当たり、3年間懇切丁寧なご指導をしてくださった小林春夫先生に心より深く感謝いたします。主査をしていただき、助言をいただきました高井伸和准教授に心より感謝いたします。副査をしていただき、助言をいただきました弓仲康史准教授に心より感謝いたします。研究室、研究生活面でお世話になりました、石川信宣技官に感謝いたします。

またたくさんアドバイスをしてくださった、東京都市大学電気電子工学専攻、松浦達治先生、STARC（半導体理工学研究センター）、小林修氏、に心より感謝するとともに、厚く御礼申し上げます。

最後に、沢山有意義な討論をしてくださった、研究室の皆様に心より感謝申し上げます。

参考文献

- [1] A. Verma, B. Razavi, “A 10b 500MS/s 55mW CMOS ADC”, IEEE ISSCC (Feb. 2009).
- [2] F. Maloberti, Data Converters, Springer (2007).
- [3] 小川智彦, 松浦達治, 小林春夫, 高井伸和, 堀田正生, 傘 昊, 阿部彰, 八木勝義, 森俊彦, “逐次比較近似 ADC コンパレータ・オフセット影響の冗長アルゴリズムによるディジタル補正技術,” 電子情報通信学会誌 和文誌 C , Vol. J94-C, no. 3 (2011 年 3 月)
- [4] 相良岩男 “ A/D・D/A 変換回路入門”, 日刊工業新聞社,,,(1991).
- [5] 小林春夫, ナノCMOS時代のアナログ回路デジタルアシストAD変換器を中心として電子情報通信学会, 第22回 回路とシステム (軽井沢) ワークショップ April. 2009
- [6] 高橋洋介, パイプラインAD変換器のデジタル誤差補正技術の研究, 群馬大学修士論文 (2007年3月)
- [7] 丹陽平, パイプライン自己校正技術の研究, 群馬大学修士論文 (2012 年 3 月)
- [8] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, “SAR ADC Algorithm with Redundancy and Digital Error Correction”, IEICE Trans. Fundamentals, vol.E93-A, no.2, (Feb. 2010).
- [9] T. Yagi, K. Usui, T. Matsuura, S. Uemori, Y. Tan, S. Ito, H. Kobayahsi, “Background Self-Calibration Algorithm for Pipelined ADC Using Split ADC Scheme”, IEICE Trans. on Electronics, Vol.E94-C, No. 7, pp. 1233-1236 (July 2011).
- [10] P. G. A. Jespers, Integrated Converters, D to A and A to D Architectures, Analysis and Simulation, Oxford University Press (2001)
- [11] Xiaoyue Wang, Paul J. Hurst, and Stephen H. Lewis, A 12-bit 20-Msample/s Pipelined Analog-to-Digital Converter with Nested Digital Background Calibration, master paper, University of California, April. 2004
- [12] 池田徹朗, 岩田穆, 高精度・低消費電力サイクリックADCの設計, 信学技報 IEICE technical report, Mar. 2008

本研究に関する学会発表

・CyclicADCの自己校正技術の研究

劉羽 丹陽平 小林春夫 松浦達治 高井伸和 新津葵一（群馬大学） 小林修
（STARC）

電気学会 群馬・栃木支所合同研究発表会 2012年2月

・高精度・低消費電力CyclicADCのデジタル自己校正技術の検討

劉羽 新井薫子 小林春夫 松浦達治 高井伸和 （群馬大学） 小林修（STARC）
新津葵一（名古屋大学）

電気学会 群馬・栃木支所合同研究発表会 2013年2月